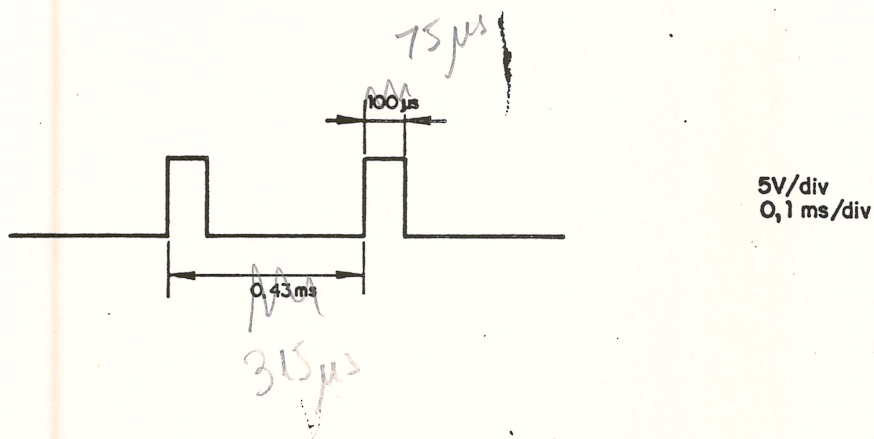


- Componentes envolvidos: CI38 (74LS244)
CI39 (74LS244)
CI43 (74LS245)
CI40 (PAL20L10)

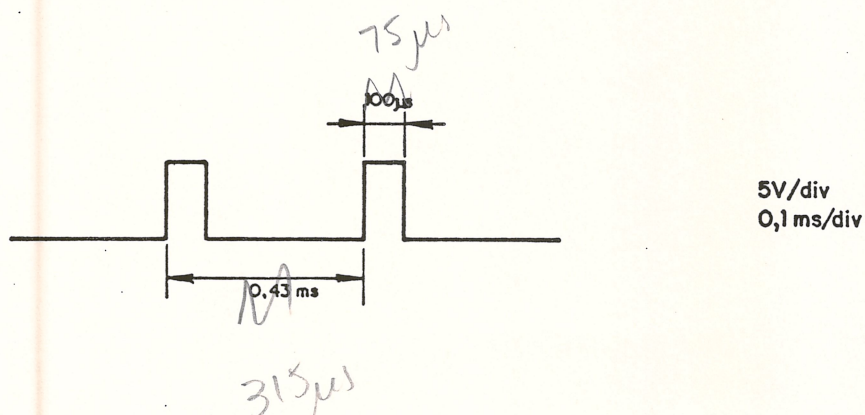
- Tecle ENTER para sair.

4.1.9. VERIFICAÇÃO DO DIGITAL OUTPUT REGISTER DOR

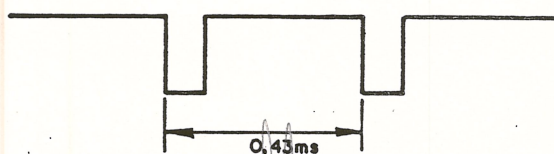
- Carregue o programa DOR
- Verifique se o pino 11 do CI34 (CK) está pulsando
5V/div
50 μ s/div
- Verifique se os pinos 12, 15, 16 e 19 do CI34 estão pulsando
(geração de ME1, ME2, ME3 e ME4)



- Verifique se os pinos 16, 17, 18 e 19 do CI33 estão pulsando
(geração de DS1, DS2, DS3 e DS4)

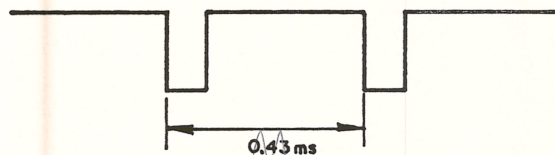


- Verificação dos sinais de ME1, ME2, ME3 e ME4
Pinos 11 e 8 do CI23 e pinos 3 e 11 do CI30



5V/div
0,1 ms/div

- Verificação dos sinais de DS1, DS2, DS3 e DS4
Pinos 6 e 3 do CI23 e pinos 8 e 6 do CI30



5V/div
0,1 ms/div

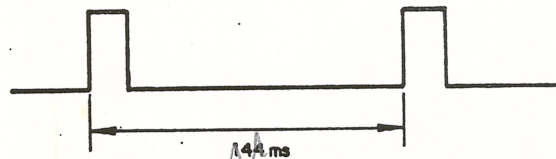
OBS.: O programa DOR consiste na escrita dos bytes 1CH, 2DH, 4EH e 8F repetidamente no DOR (endereço 3F2H)

- Componentes envolvidos: CI34 (74LS273)
CI23 (7438)
CI30 (7438)
CI33 (PAL10L8)
- Tecle ENTER para sair.

4.1.10. VERIFICAÇÃO DO FDC 8272

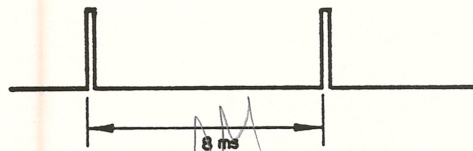
- Carregue o programa FLOPPY. Este programa consiste na leitura do primeiro setor de todas as trilhas do driver A. A leitura começa na trilha 0, face 0 e face 1 até a trilha 39 e retorna para trilha 0, lendo trilha a trilha.

- Verificação do sinal SEEK
Pino 39 do CI28



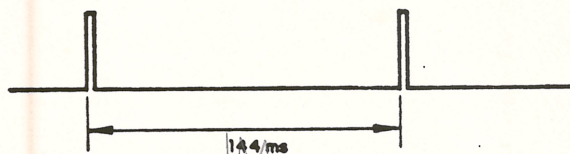
5V/div
20ms/div

- Verificação do sinal STP
Pino 37 do CI28



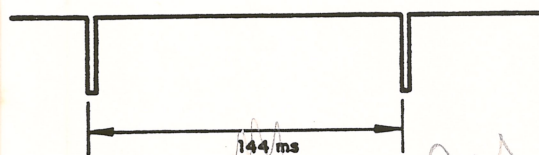
5V/div
2ms/div

- Verificação do sinal STEP
Pino 15 do CI33



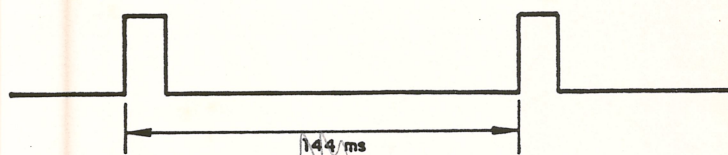
5V/div
20ms/div

Pino 3 do CI24



5V/div
20 ms/div

- Verificação do sinal DIR
Retire o drive e coloque-o numa posição, de modo a permitir a visualização do movimento da cabeça L/E.
- Pino 38 do CI28 (movimento no sentido da trilha 0 para 39)



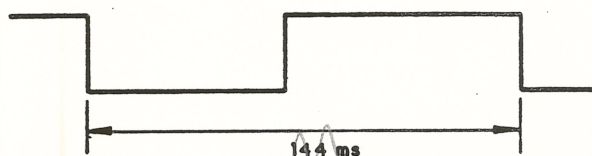
5V/div
20 ms/div

- Pino 38 do CI28 (movimento no sentido da trilha 39 para 0)
Deve ficar em nível lógico baixo (0V)
Observe o mesmo comportamento do sinal DIR no pino 7 do CI22
- Verifique que o pino 6 do CI24 apresenta um comportamento invertido em relação do pino 38 do CI28.
- Verificação do sinal TRACK0
Pino 14 do CI36 e no pino 33 do CI28
5V/div
0,2ms/div

Observe que, quando a "orelha" do suporte da cabeça L/E atravessar o sensor de trilha 0, este sinal vai para nível lógico alto (+5V).

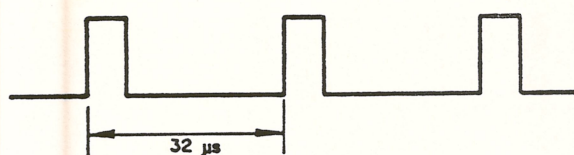
colocar como observação

- Verificação do sinal HDSEL
Pino 27 do CI28

5V/div
20 ms/div

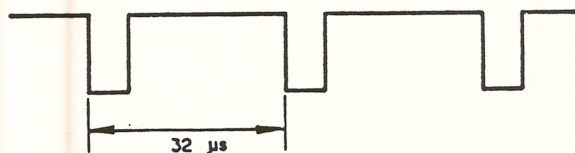
OBS.: verifique que o pino 8 do CI24 é invertido em relação ao pino 27 do CI28.

- Verificação do sinal DRQ
Pino 14 do CI28 e pino 6 do CI41

5V/div
5 μs/div

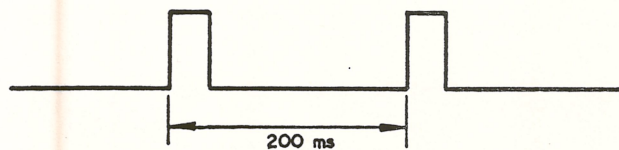
OBS.: O pino 6 do CI41 é atrasado de 2 μs em relação ao pino 14 do CI28.

- Verificação do sinal DACK
Pino 15 do CI28

5V/div
5 μs/div

N. Aparece

- Verificação do sinal INT
Observe os pulsos de interrupção no pino 18 do CI28 e no pino 2 do CI41
5V/div
20ms/div
- Verificação do sinal TC
Observe os pulsos de Terminal Count no pino 16 do CI28. Este sinal não é nítido na tela do osciloscópio (aumente a intensidade do sinal)
5V/div
20ms/div
- Verificação do sinal INDEX
Pino 3 do CI36 ou 17 do CI28



5V/div
50 ms/div

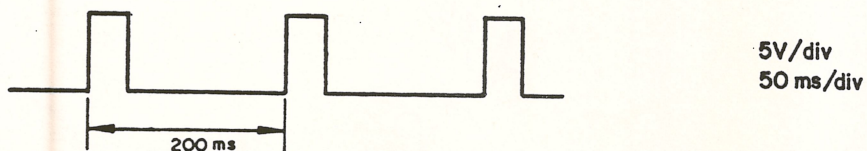
- Verificação do sinal WREN
Pino 25 do CI28
Deve ficar em nível lógico baixo (0V)

OBS.: Os pinos 11 e 13 do CI41 devem ficar em nível lógico alto (+5V).
- Verificação do sinal DATA
Observe os pulsos de dados e clock no pino 23 do CI28
5V/div
1 μ s/div
- Verificação do sinal DTWD
Observe o sinal de Data Window no pino 22 do CI28
5V/div
1 μ s/div
OBS.: Quando não houver leitura este sinal é quadrado

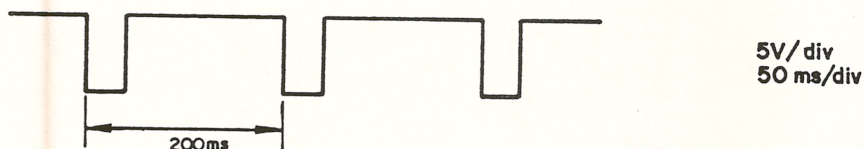
- Verificação do sinal WRITE PROTECT
Tecle ENTER para voltar para o Sistema Operacional
Verifique se o disquete está sem a etiqueta de proteção
Carregue o programa FLOPPY
O pino 34 do CI28 deve estar em nível lógico baixo
Tecle ENTER para voltar para o Sistema Operacional
Coloque uma etiqueta de proteção no disquete
Carregue o programa FLOPPY
O pino 34 do CI28 deve estar em nível lógico alto
Tecle ENTER para voltar para o Sistema Operacional

4.1.11. VERIFICAÇÃO DO CIRCUITO DE PRÉ-COMPENSAÇÃO DE ESCRITA

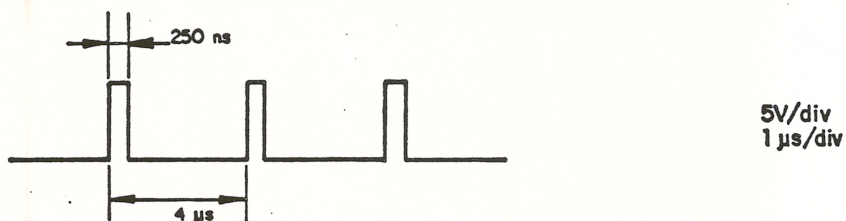
- Carregue o programa FLOPPYWR
- Insira o disco de rascunho na unidade A:
Este programa escreve 512 bytes de FFH nos primeiros setores de todas as trilhas, das duas faces, da unidade A.
- Verificação do sinal WR.EN.
Pino 25 do CI28



Pino 11 e 13 do CI41



- Verificação do sinal WR.DT
Pino 30 do CI28



Observe os pulsos de WRITE DATA no pino 2 do CI21. No pino 11 do CI24 os pulsos de WRITE DATA são invertidos.

- Verificação dos sinais PS1 e PS2
Observe nos pinos 31 e 32 do CI28 os pulsos de PS1 e PS2 respectivamente.
5V/div
20 μs/div

Tecla ENTER para voltar ao Sistema Operacional.

4.2. CIRCUITO DE INTERFACE SASI

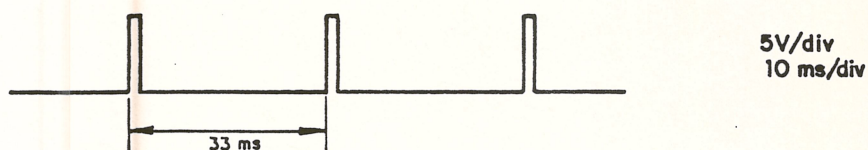
- Carregue o programa WINCH.

Este programa consiste na leitura do primeiro setor de todas as trilhas da face 0 do winchester.

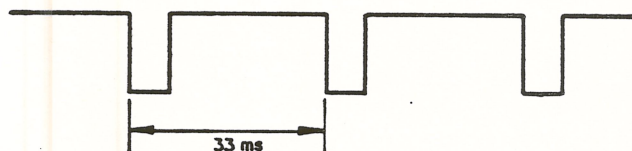
4.2.1. VERIFICAÇÃO DO ACESSO NA EPROM DE WINCHESTER

Observe os pulsos de habilitação no pino 20 do CI18.
5V/div
1 μs/div

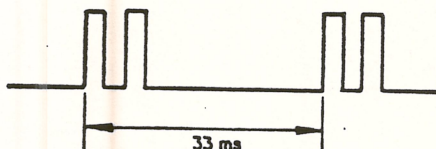
4.2.2. VERIFICAÇÃO DO SINAL BSY Pino 8 do CI4



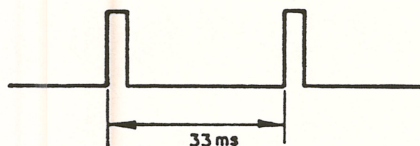
Observe que no pino 12 do CI4 este sinal é invertido

4.2.3. VERIFICAÇÃO DO SINAL I/O
Pino 4 do CI45V/div
10 ms/div

Observe que no pino 16 do CI4, este sinal é invertido.

4.2.4. VERIFICAÇÃO DO SINAL $\bar{C}/D$
Pino 6 do CI45V/div
10 ms/div

Observe que este sinal é invertido no pino 4 do CI4.

4.2.5. VERIFICAÇÃO DO SINAL IRQ5
Pino 8 do CI115V/div
10 ms/div

4.2.6. VERIFICAÇÃO DO SINAL REQ

Pino 2 do CI4

- 5V/div

2 μ s/div

Este sinal não é bem visível na tela do osciloscópio. Deve estar pulsando.

4.2.7. VERIFICAÇÃO DO SINAL ACK

Pino 3 do CI12

- 5V/div

2 μ s/div

Este sinal não é bem visível na tela do osciloscópio. Deve estar pulsando.

4.2.8. VERIFICAÇÃO DO SINAL DRQ3

Pino 11 do CI11

5V/div

2 μ s/div

Este sinal não é bem visível na tela do osciloscópio. Deve estar pulsando.

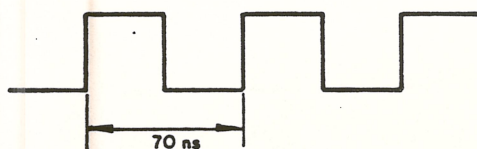
Tecle ENTER para voltar para o Sistema Operacional.

5. PLACA CONTROLADORA DE VÍDEO/IMPRESSORA

5.1. CIRCUITO CONTROLADOR DE VÍDEO

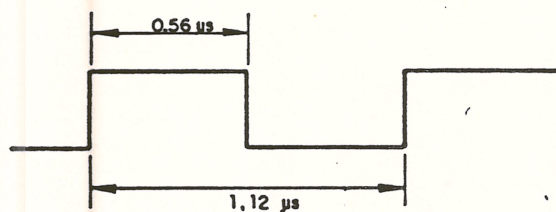
5.1.1. MODO ALFANUMÉRICO 80x25

- Verificação da frequência de 14 MHz
Pino 4 do CI62



5V/div
0,05 μ s/div

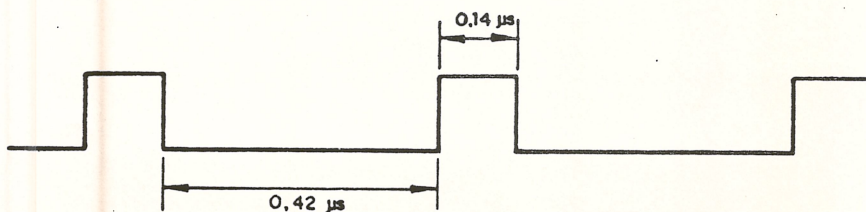
- Verificação do 74S174 (CI4)
Pinos 2, 3, 5, 7, 10, 12 e 15 do CI4



5V/div
0,05 μ s/div

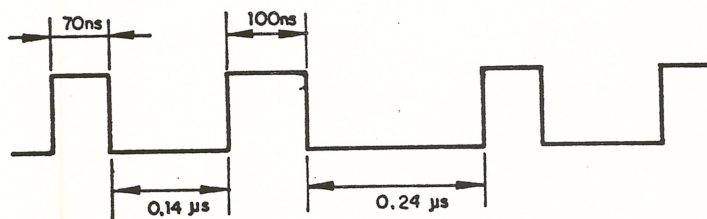
OBS.: Estes sinais estão defasados de 70 ns

- Verificação do sinal $\overline{RAS}$
Pino 6 do CI7



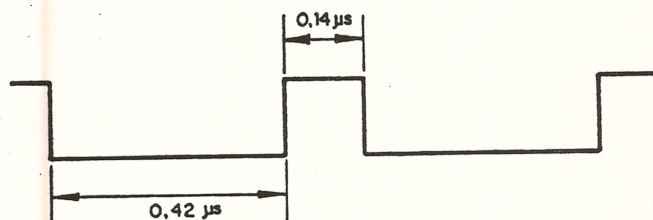
5V/div
0,1 μ s/div

- Verificação do $\overline{\text{CAS}}$
Pino 11 do CI14



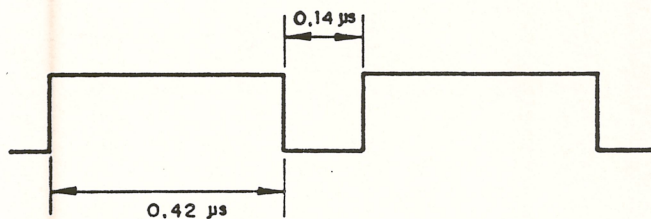
5V/div
0,1 $\mu\text{s}/\text{div}$

- Verificação do sinal $\overline{\text{ENCRTCASAD}}$
Pino 6 do CI3



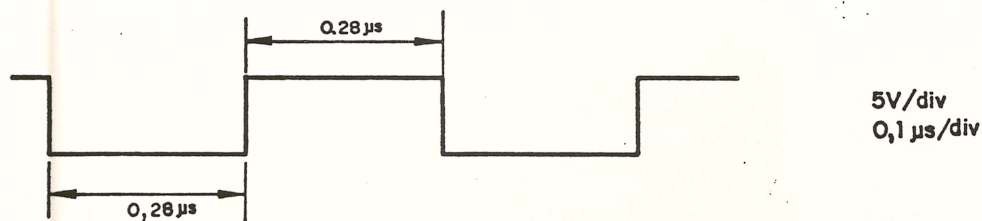
5V/div
0,1 $\mu\text{s}/\text{div}$

- Verificação do sinal $\overline{\text{ENCRTTRASAD}}$
Pino 3 do CI3



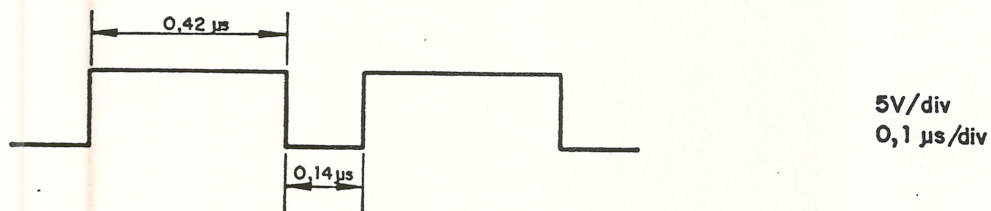
5V/div
0,1 $\mu\text{s}/\text{div}$

- Verificação do sinal GRAPH
Pino 5 do CI18
Deve estar em nível lógico baixo (0V)
GRAPH = 0 - Modo Alfanumérico
- Verificação do sinal HRES
Pino 2 do CI18
Deve estar em nível lógico alto (+5V)
HRES = 1 - Modo 80 colunas
- Verificação do sinal $\overline{\text{CCLK}}$
Pino 21 do CI20

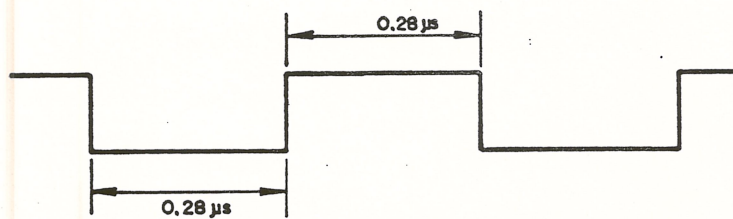


OBS.: Este sinal é o DOTCLOCK dividido por 8 (modo 80 colunas).

- Verificação do sinal CCLATCH
Pino 11 do CI31

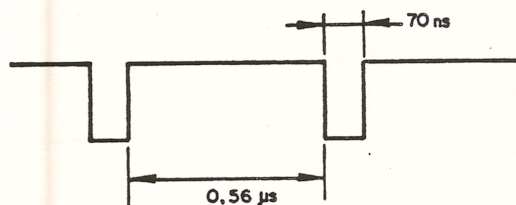


- Verificação do sinal ATLATCH
Pino 11 do CI32



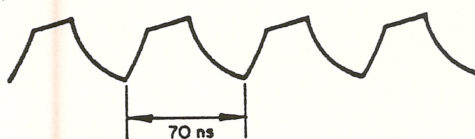
5V/div
 $0,1 \mu s/div$

- Verificação do sinal S/L̄
Pino 15 do CI9



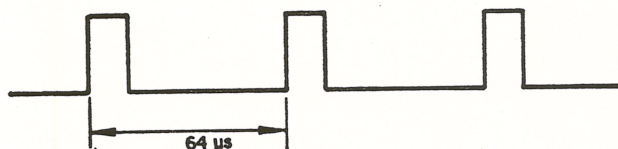
5V/div
 $0,1 \mu s/div$

- Verificação do sinal DOT.CLOCK
Pino 8 do CI11



5V/div
 $0,05 \mu s/div$

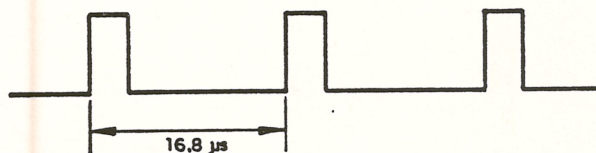
- Verificação do sinal HSYNC (15.625 KHz)
Pino 39 do CI20



5V/div
20 μs/div

Observe o sinal de HSYNC no pino 9 do CI66

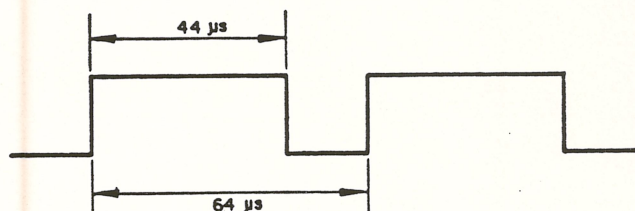
- Verificação do sinal VSYNC (60 Hz)
Pino 40 do CI20



5V/div
2 mc/div

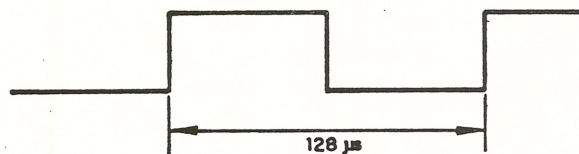
Observe o sinal de YSYNC no pino 7 do CI66

- Verificação do sinal DISPLAYEN
Pino 18 do CI20

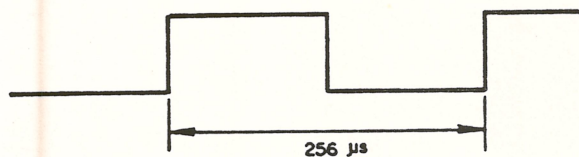


5V/div
20 μs/div

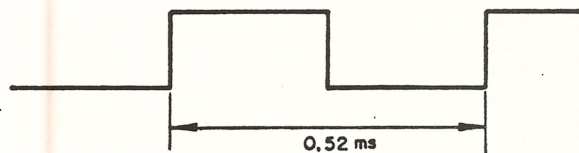
- Verificação do sinal RA0
Pino 38 do CI20

5V/div
20 μ s/div

- Verificação do sinal RA1
Pino 37 do CI20

5V/div
50 μ s/div

- Verificação do sinal RA2
Pino 36 do CI20

5V/div
0,1 ms/div

- Verificação do sinal de vídeo (R, G e B)

Observe os sinais R, G e B nos pinos 18, 16 e 14 do CI66 respectivamente.

• Verificação do Registrador de Seleção de Página

- Carregue o programa ALFA80

Este programa apresenta 16 telas no modo alfanumérico 80 x 25. Cada tela possui 4.000 bytes por tela.

Tecle enter para mudar de tela.

- Observe que durante a exibição das telas 0, 1, 2 e 3 os sinais de PGRD0 e PGRD1 (pinos 6 e 9 do CI-6) estão em nível lógico baixo.

PGRD0 = 0
PGRD1 = 0 } Banco nº 1 da RAM de Vídeo (16K)

- Observe que durante a exibição das telas 4, 5, 6 e 7; o sinal PGRD0 fica em alto e PGRD1 está em baixo

PGRD0 = 1
PGRD1 = 0 } Banco nº 2 da RAM de Vídeo (16K)

- Observe que durante a exibição as telas 8, 9, A e B; o sinal PGRD0 fica em nível baixo e PGRD1 fica em nível alto.

PGRD0 = 0
PGRD1 = 1 } Banco nº 3

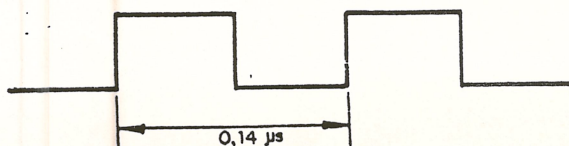
- Observe que durante a exibição das telas C, D, E e F; os sinais PGRD0 e PGRD1 ficam em níveis alto.

PGRD0 = 1
PGRD1 = 0 } Banco nº 4

- Tecle F para voltar para o Sistema Operacional.

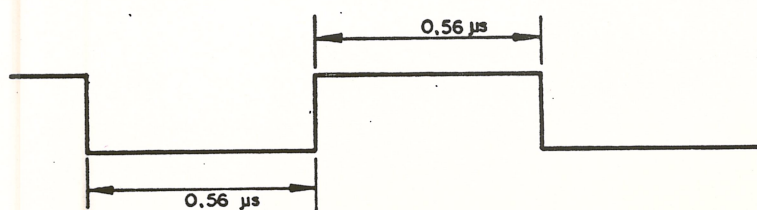
5.1.2. MODO ALFANUMÉRICO 40 x 25

- Carregue o programa ALFA40
- Qualquer tecla muda a tela (são 32 telas)
- A tecla F volta para o Sistema Operacional
- Verificação da frequência $\overline{7\text{ MHz}}$
Pino 10 do CI7



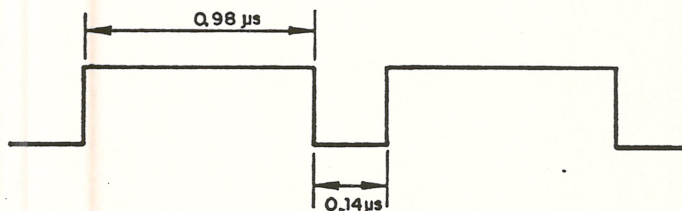
5V/div
0,05 μs/div

- Verificação do sinal HRES
Pino 2 o CI18
Deve estar em nível lógico baixo (0V)
HRES = 0 - modo 40 colunas
- Verificação do sinal $\overline{\text{CCLK}}$
Pino 21 do CI20



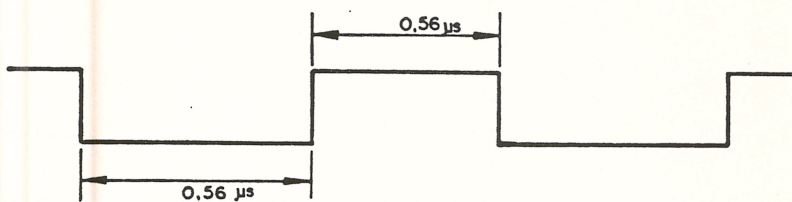
5V/div
0,2 $\mu\text{s}/\text{div}$

- Verificação do sinal CCLATCH
Pino 11 do CI31



5V/div
0,2 $\mu\text{s}/\text{div}$

- Verificação do sinal ATLATCH
Pino 11 do CI32



5V/div
0,2 $\mu\text{s}/\text{div}$