

Exemplo : a nível do programa principal, colocar a 8251 A nº 0 em repouso (Obs: supor a programação do modo já efectuada)

linha

10	MVI	A, 0
11	DI	
12	OUT	NUMW51
13	MVI	A, RXCOMMAND
14	OUT	ADC51
15	EI	

Este procedimento evita que a entrada de uma interrupção entre as linhas 12 e 13, por exemplo, faça com que o comando de Rx vá para o chip errado.

III Interface 8251A / Placa(s) de drivers

Essa interface compreende, para cada uma das 8251x8 os seguintes sinais

		Sentido
TxD	- dados transmitidos	8251A → driver
RxD	- dados recebidos	8251A ← driver
RTS	- request to send	8251A → driver
CTS	- clear to send	8251A ← driver
DSR	- data set ready	8251A ← driver
TxC	- Tx clock	8251A ← driver
RxC	- Rx clock	8251A ← driver

O nível elétrico dos sinais é TTL (nível de tensão pl nível lógico 1 e 0). Na placa de drivers deve-se tomar o cuidado de não sobrecarregar as linhas de TxD e RTS, que são sinais fornecidos pela 8251A e que não tem um fan-out da mesma ordem de um TTL. Recomenda-se uma carga não superior a uma porta TTL (sine #4 normal).

IV - Jumpers e configuração das placas

Os jumpers existentes na placa podem ser divididos de acordo com sua função em:

- Configuração de RxClock e TxClock para 8251
- Utilização de CTS das 8251.
- Montagem com 4 ou 8 8251.
- Cascateamento de placas
- Identificação de placas
- Configuração do nível de interrupção.

Segue cada uma das funções:

- Configuração de Rx Clock e Tx Clock para 8251

O objetivo é poder utilizar clock gerado na placa de CPU, que chega através do pino 15 do bus, e /ou clock gerado na placa driver /ou externo, recebido via placa driver.

Vide circuito elétrico.

Para utilização do clock gerado na placa de CPU, nas 8 8251 A.

Fechar: JP04 ; JP05 ; JP09 ; JP10 ;
JP14 ; JP15 ; JP19 ; JP20 ;

JP24 ; JP25 ; JP29 ; JP30 ; JP34 ; JP35

e JP39 } 1-2
 } 3-4

Ficam abertos: JP01; JP02; JP06; JP07;
JP11; JP12; JP16; JP17; JP21; JP22;
JP26; JP27; JP31; JP33; JP36; JP37

Para utilização de clock externo nas 8 8251

Fechar: JP01; JP02; JP06; JP07;
JP11; JP12; JP16; JP17; JP21; JP22;
JP26; JP27; JP31; JP33; JP36; JP37

Ficam abertos: JP04; JP05; JP09; JP10;
JP14; JP15; JP19; JP20; JP24; JP25; JP29;
JP30; JP34; JP35; JP39.

É possível ainda combinar clock externo e clock
guiado pela CPU da seguinte forma.

clock externo clock guiado na CPU.

CI01	CI02 a CI08
CI01 e CI02	CI03 a CI08
CI01 a CI03	CI04 a CI08
CI01 a CI04	CI05 a CI08
CI01 a CI05	CI06 a CI08
CI01 a CI06	CI07 e CI08
CI01 a CI07	CI08

A título de exemplo, a configuração para utilização
do CI01 com clock externo e os demais com clock interno
seria:

Fechar: JP01; JP02; JP09; JP10;
JP14; JP15; JP19; JP20; JP24; JP25;
JP29; JP30; JP34; JP35; JP39

1-2
3-4

Ficam-abertos : JP04 ; JP05 ; JP06 ; JP07 ;
JP11 ; JP12 ; JP16 ; JP17 ; JP21 ; JP22 ;
JP26 ; JP27 ; JP31 ; JP32 ; JP36 ; JP37 .

Utilização do CTS das 8251

Cada uma das 8251 tem um jumpu para configuração do sinal CTS.

CI01 ——— JP03

CI02 ——— JP08

CI03 ——— JP13

CI04 ——— JP18

CI05 ——— JP23

CI06 ——— JP28

CI07 ——— JP33

CI08 ——— JP38

Há duas opções:

Quando a placa de drivers não utiliza o sinal CTS, deve-se ligar o mesmo a terra na placa I/O (ligando 2-3 em cada um dos jumpers acima).

Quando o driver de linha utilizar CTS (em geral p/operações half duplex), então deve-se ligar 1-2 no(s) jumper(s) correspondente(s).

PCI MONT. RACK-INTERFACE SERIAL 8251x8

- Montagens com 4, 5, 6, 7 ou 8 8251A.

Pode-se optar pela montagem da placa com 4, 5, 6, 7 ou 8 8251A.

Os chips CIO8, CIO7, CIO6, CIO5 tem montagem opcional. A montagem de todos os demais é obrigatória.

Para montagem da placa com 8 8251A, os seguintes jumpers devem estar abertos:

JP42; JP43; JP44; JP45;

JP46; JP47; JP48; JP49;

Para não montar CIO8, fechar JP42 e JP43.

Para não montar CIO7, fechar JP44 e JP45.

Para não montar CIO6, fechar JP46 e JP47.

Para não montar CIO5, fechar JP48 e JP49.

- Configuração do nível de interrupção

Pode-se escolher, através de JP50, a utilização de um dos dois níveis de interrupção / $\overline{INT5.5}$ ou $\overline{INT6.5}$.

$\overline{INT6.5}$	2-1
$\overline{INT5.5}$	3-3

Identificação de Placas

Quatro jumpers efetuam a identificação da placa.

Identificação da placa no processo de identificação do chip que solicita serviço da CPU via interrupção e identificação da placa para o comparador (74LS85) no circuito gerador de chip select das 8251A (antes já descritos em "II - Esquema de atendimento de interrupção" com 2 bits disponíveis, codifica-se até 4 placas de acordo com a tabela abaixo:

	JP56	JP57	JP54	JP55
Placa 0	2-1	2-1	2-1	2-1
Placa 1	2-3	2-1	2-3	2-1
Placa 2	2-1	2-3	2-1	2-3
Placa 3	2-3	2-3	2-3	2-3

PCI MONT. RACK-INTERFACE SERIAL P251X1

- Cascatamento de placas.

O cascatamento de placas é o cascatamento dos codificadores de prioridade. Ele é feito utilizando os jumpers JP40, JP41, JP51, JP52, JP53.

JP40 e JP41 visam sobre a possibilidade de conectar duas ou quatro placas.

Para 2 placas:

Endereçamento dos codificadores de prioridade:
 $\overline{A10}$ e $\overline{IOR}$ (ativos em nível 0).

(Daí vem a configuração de JP40 e JP41.

}	JP40	2 - 3
	JP41	2 - 3

Para 4 placas:

Endereçamento dos codificadores de prioridade:

$\overline{A15}$ e $\overline{IO/\overline{M}}$ (ativos em nível 0).

}	JP40	2 - 1
	JP41	2 - 1

OBJETO PCI MONT. RACK-INTERFACE SERIAL 8251x8

JP51 ; - JP52 ; JP53 implementam o cascamento e fixam a prioridade das placas. É importante lembrar que a 3ª placa mais prioritária só funciona se a 1ª e a 2ª estiverem funcionando.

Configurados de acordo com a tabela abaixo:

	JP51	JP52	JP53
1ª placa (mais prioritária)	Sem conexão	2 - 3	2 - 1
2ª placa	2 - 1	2 - 1	2 - 3
3ª placa	2 - 3	2 - 1	4 - 5
4ª placa	4 - 5	2 - 1	sem conexão.

Notas

1- Este documento (Descrição Funcional) é completado pelo esquema elétrico da placa, cujo código de documento é 08599-01-012.

2- Fornecido aproximado da placa, para montagem com os seguintes chips:

chip	QTD.
8251A	2
74LS367	1
74LS23	1
74LS23	2
74LS23	1