

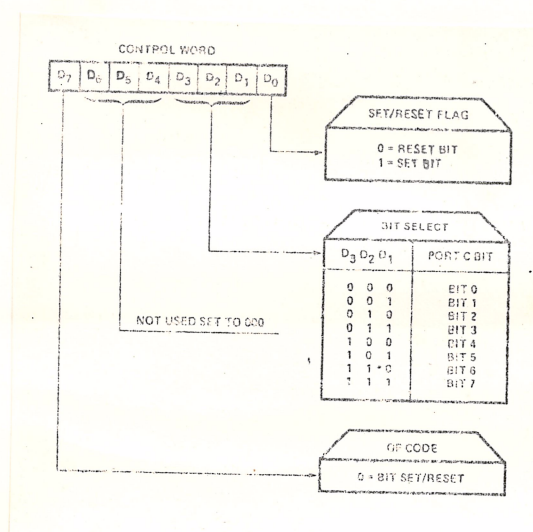


Figura 60 Palavra de Controle Bit Set/Reset

Esta operação pode ser usada por exemplo quando a Porta C está sendo usada como Status ou Controle da Porta A ou Porta B.

3.3. FUNÇÕES DE CONTROLE DE INTERRUPÇÕES

Quando o 8255 A é programado para operar no modo "1" ou modo "2", alguns sinais de controle podem ser usados como entradas de requisição de interrupção à CPU. Estes sinais gerados pela Porta C podem ser inibidos ou habilitados setando ou resetando o flip-flop associado INTE, usando uma operação bit set/reset da Porta C.

Esta função permite ao Programador possibilitar ou não que um específico dispositivo I/O interrompa a CPU sem afetar qualquer outro dispositivo na estrutura de interrupção.

O flip-flop INTE é definido do seguinte modo:

- . (BIT-SET) - INTE é setado - Habilitação de interrupção
- . (BIT-RESET) - INTE é resetado - Desabilitação de interrupção

3.4. MODOS DE OPERAÇÃO

3.4.1. Modo 0

Esta configuração funcional estabelece operações simples da entrada/saída para cada uma das 3 portas. Nenhum sinal de "handshaking" é necessário; o dado é simplesmente escrito ou lido da porta específica.

Definições básicas funcionais:

- . Duas portas de 8 bits ou duas portas de 4 bits
- . Qualquer porta pode ser entrada ou saída
- . As saídas são "latcheadas"
- . As entradas não são "latcheadas"
- . 16 configurações diferentes de E/S são possíveis neste modo

A		B		GROUP A			GROUP B	
D ₄	D ₃	D ₁	D ₀	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT

3.4.2. Modo 1

Esta configuração funcional permite a transferência de dados de E/S para/ou de uma porta específica utilizando sinais de strobes e de "handshaking". Neste modo, as Portas A e B usam as linhas da Porta C para gerar ou receber estes sinais de "handshaking".

Definições básicas funcionais:

- . Dois grupos (Grupo A e Grupo B)
- . Cada grupo contém uma porta de dado de 8 bits e uma porta de controle/dado de 4 bits.
- . A porta de dado de 8 bits pode ser de entrada ou de saída; esta porta é "latcheada".
- . A porta de 4 bits é usada para controle e status' da porta de dado de 8 bits.

Definição dos sinais de controle de entrada:

- . $\overline{\text{STB}}$ (Strobe Input): um "low" nesta entrada carrega o dado no latch de entrada.
- . IBF (Input Buffer Full F/F): um "high" nesta saída indica que o dado foi carregado no latch de entrada; é resetado através de uma subida ($\uparrow$) do sinal de entrada RD.
- . INTR (Interrupt Request): um "high" nesta saída pode ser usada para interromper a CPU quando um dispositivo de entrada está requisitando serviço. O INTR é setado por $\overline{\text{STB}} = 1$, IBF = 1 e INTE = 1. Ele é resetado pela descida ($\downarrow$) do sinal RD. Este procedimento permite que um dispositivo de entrada requisi-te serviço da CPU para simplesmente liberar seus dados na porta,

OBS.: INTE A é controlado pelo bit set/reset de PC4

INTE B é controlado pelo bit set/reset de PC2.

Definição dos sinais de controle de saída:

- . $\overline{\text{OBF}}$ (Output Buffer Full F/F): esta saída irá a "0" para indicar que a CPU escreveu dado na porta específica. O $\overline{\text{OBF}}$ F/F será setado na subida do sinal WR e resetado pela descida do sinal ACK.
- . $\overline{\text{ACK}}$ (Acknowledge Input): um "low" nesta entrada informa ao 8255 A que o dado da Porta A ou Porta B foi aceito. Ou seja, é a resposta do

dispositivo periférico indicado que recebeu o dado da CPU.

- INTR (Interrupt Request): um "high" nesta saída ' pode ser usada para interromper a CPU quando um dispositivo de saída recebeu o dado transmitido pela CPU. INTR é setado quando $\overline{ACK} = 1$, $\overline{OBF} = 1$ e $INTE = 1$. É resetado pela descida do sinal WR.

OBS.: INTE A é controlado pelo bit set/reset de PC6.

INTE B é controlado pelo bit set/reset de PC2.

Combinações do Modo 1:

As Portas A e B podem ser individualmente definidas como entrada ou como saída no Modo 1 para suportar uma grande variedade de aplicações I/O (vide Figura 63).

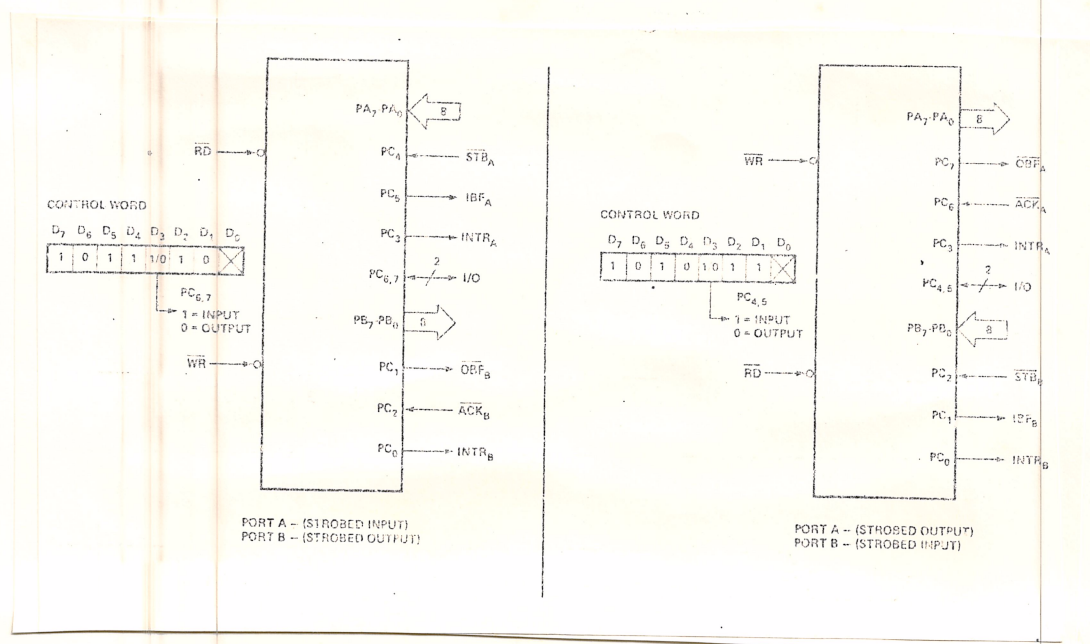


Figura 63. Combinações do Modo 1.

3.4.3. MODO 2

Esta configuração funcional possibilita a comunicação com um dispositivo periférico utilizando um único bus de 8 bits bidirecional. Sinais de "hand-shaking" são gerados para monitorar esta comunicação como no Modo 1.

Definições básicas funcionais:

- . Utiliza o Grupo A somente
- . Uma Porta (A) de 8 bits, bidirecional, e uma porta (C) de 5 bits como controle.
- . Ambas entradas e saídas são "latcheadas"
- . A porta de 5 bits (Porta C) é utilizada como controle e status da porta de 8 bits bidirecional (Porta A)

Definição dos sinais de controle da porta de E/S bidirecional.

- . INTR (Interrupt Request): um "high" nesta saída pode ser usada para interromper a CPU para operações de entrada e saída:

Operações de entrada

- $\overline{\text{OBF}}$ (Output Buffer Full): a saída OBF irá a "0" para indicar que o CPU escreveu um dado na Porta A.
- $\overline{\text{ACK}}$ (Acknowledge): um "low" nesta entrada habilita o buffer tri-state da Porta A para enviar para fora o dado. Por outro lado, o buffer de saída estará em alta-impedância.
- INTE 1 (está associado com OBF): é controlado pelo bit set/reset de PC6.

Operações de entrada:

- . $\overline{\text{STB}}$ (Strobe input): um "low" nesta entrada carrega o dado no latch de entrada.
- . $\overline{\text{IBF}}$ (Input Buffer Full F/F): um "low" nesta saída indica que o dado foi carregado no latch de entrada.
- . INTE 2 (está associado com IBF): é controlado pelo bit set/reset de PC4.

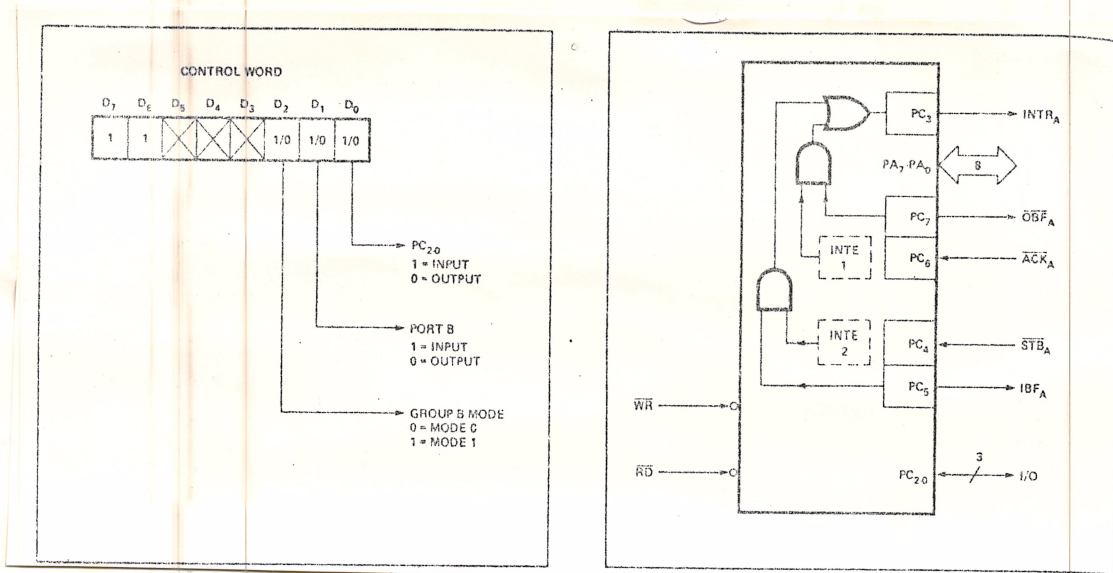


Figura 64 Modo 2 a. Palavra de Controle
b. Configuração

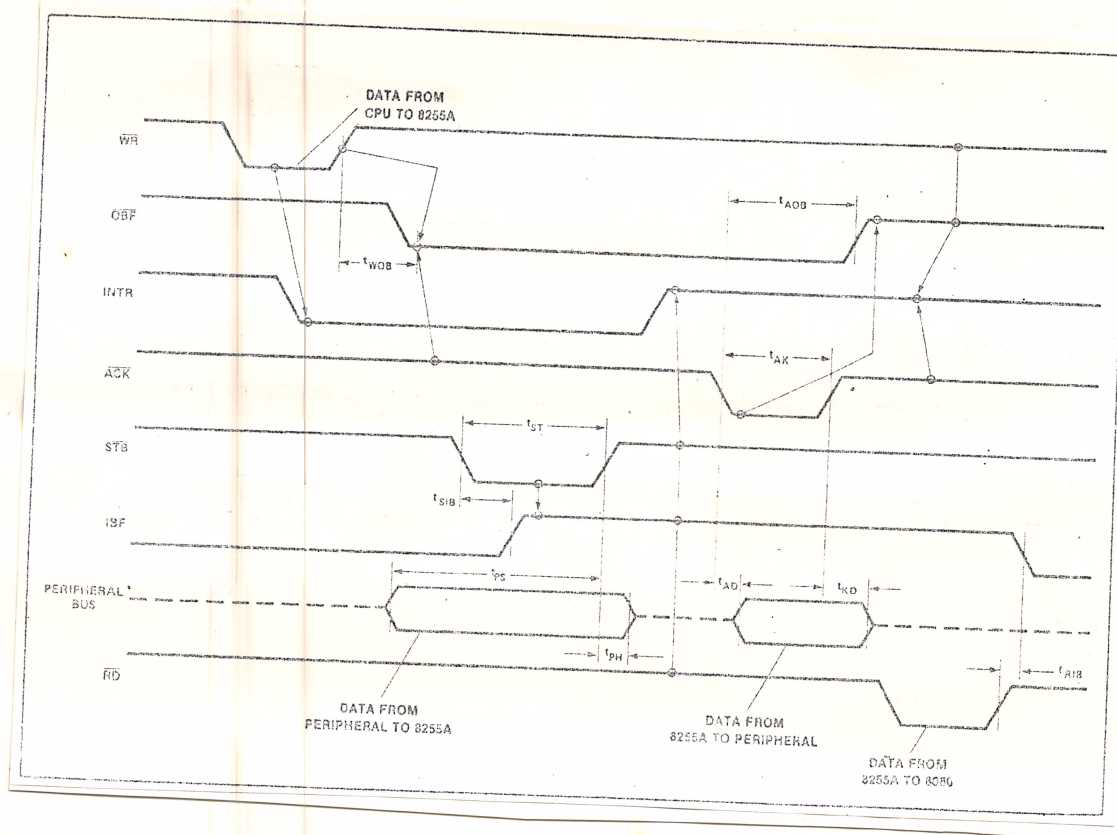


Figura 65 Modo 2 - Timing

APÊNDICE B

PINAGEM DE CI's

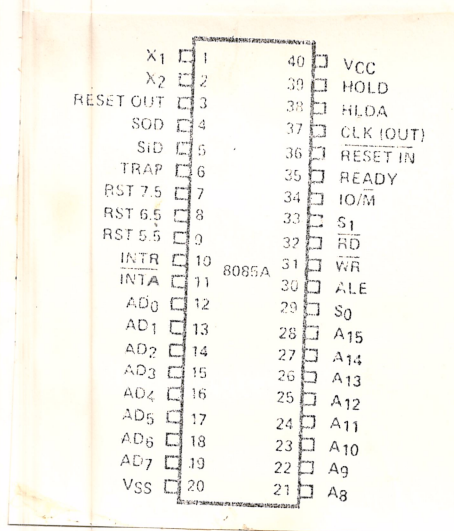
8085-A Microprocessador

8212 I/O Port

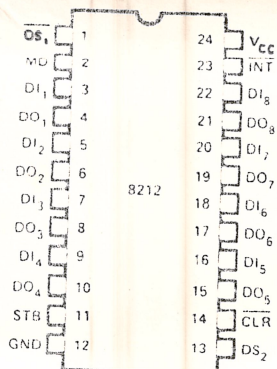
8205 Binary Decoder

2114-A RAM (1K x 4 bit)

1. Pinagem do Microprocessador 8085-A (INTEL)



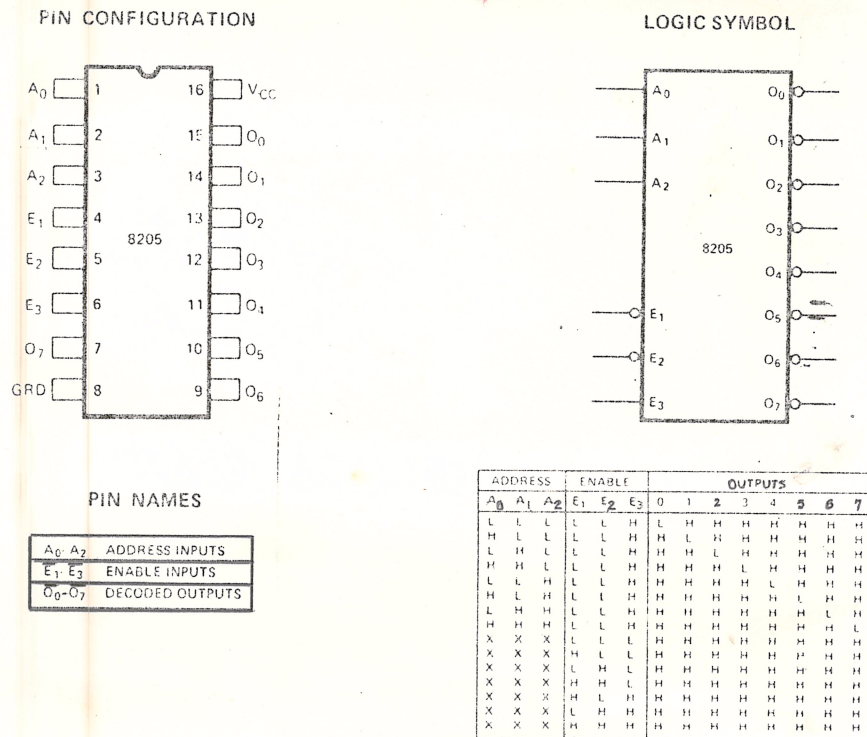
2. Pinagem do CI 8212 (INTEL - 8 Bit Input/Output Port)



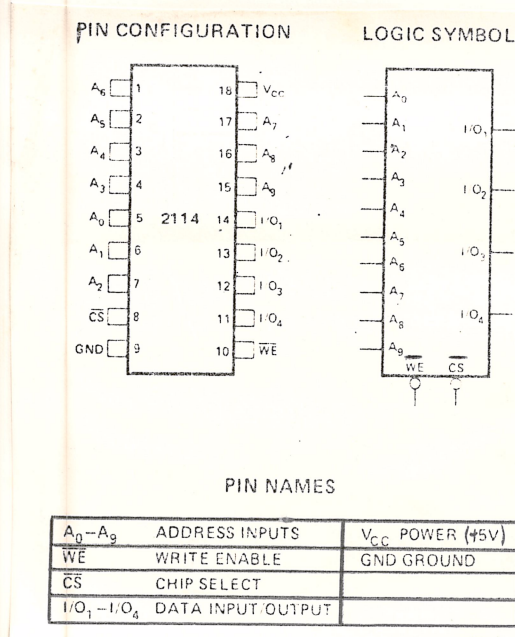
PIN NAMES

DI ₁ DI ₈	DATA IN
DO ₁ DO ₈	DATA OUT
DS ₁ DS ₂	DEVICE SELECT
MD	MODE
STB	STROBE
INT	INTERRUPT (ACTIVE LOW)
CLR	CLEAR (ACTIVE LOW)

3. Pinagem do CI 8205 (INTEL - High Speed 1 Out os 8 Binary Decoder)



4. Pinagem do CI 2114-A (1024 x 4 Bit Static RAM)



APÊNDICE C

CONFIGURAÇÃO I/O ISOLADO

CONFIGURAÇÃO I/O MAPEADO NA MEMÓRIA

INTERFACEAMENTO PARA O 8085A

A interação do 8085A com memórias ou dispositivos de I/O se resume em operações de leitura/escrita das/nas mesmas. Durante cada uma destas operações o 8085A gera um endereço e sinais de controle; en tão coloca dados na via de dados ou lê dados nesta. Quando o 8085A executa uma operação de leitura, pode estar lendo uma ROM, RAM, dis positivo de I/O ou dispositivo periférico.

Existem basicamente duas filosofias de configuração para endereçamento de dispositivos de I/O: I/O Isolado e I/O Mapeado na Memória.

a) Configuração I/O Isolado

Neste tipo de arquitetura ^{a área} de endereçamento de memória está sepa rada da área de endereçamento dos dispositivos de I/O. A transfe rência de dados para ou destes dispositivos se faz através de duas únicas instruções que são IN (entrada de dados) e OUT (saí da de dados), via acumulador. Esta arquitetura não diminui a área alocada para a memória como mostra a figura C.1.

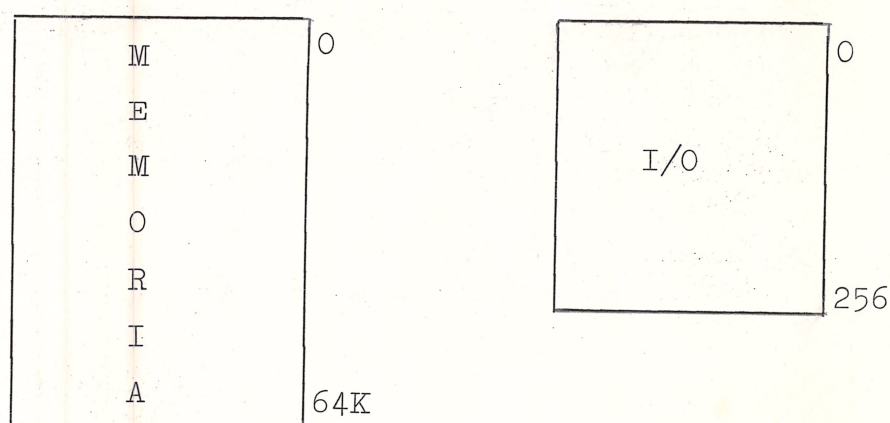


Fig. C.1 - Distribuição de áreas para arquitetura de I/O isolada.

Note que a área de memória estará totalmente disponível (64K bytes).

Com a utilização das instruções IN e OUT será possível o endereçamento de até 256 dispositivos de I/O (Vide Set de instruções).

Possui as seguintes vantagens:

- . São utilizadas instruções para I/O's (IN e OUT) facilitando na programação.
- . Área de endereçamento relativamente pequena diminuindo, com isto, o hardware para decodificação dos endereços.
- . Instruções curtas.

Temos como desvantagens:

- . Necessidade da geração de 2 sinais de controle por parte do "microprocessador" (IOR-I/O Read e IOW-I/O write).
- . Poder de processamento restrito devido à utilização de apenas 2 instruções (IN e OUT).

Vide figura C3.

b) Configuração I/O Mapeado na Memória

Quando se utiliza esta arquitetura o processador não distingue o dispositivo de I/O da memória. Isto permite a utilização das instruções, que são destinadas às memórias, também para os dispositivos de I/O's tornando a arquitetura mais potente. Porém, limita a área alocada para a memória. Uma prática comum é usar o bit mais significativo do endereço (A15) para distinguir memória de dispositivo de I/O.

Se $A_{15} = 0$, então, a memória é endereçada

Se $A_{15} = 1$, então, o dispositivo de I/O é endereçado.

Desta maneira, a área disponível para dispositivo de I/O e memória estaria distribuída da forma como mostra a figura C-2.

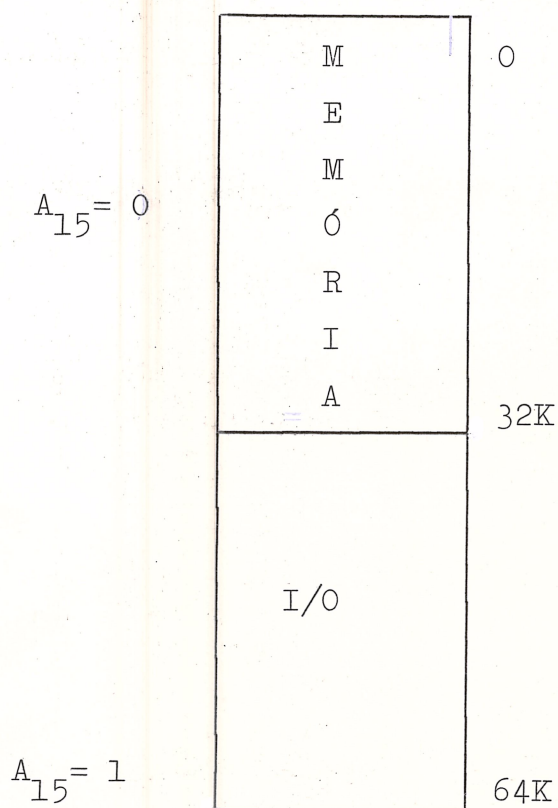


Fig. C-2 - Mapeamento de área utilizando arquitetura de I/O mapeada na memória (A_{15}).

Tem como vantagens:

- . As instruções utilizadas para escrita e leitura de memória também serem usadas para entrada e saída de dados.

E como desvantagens:

- . Menor espaço de memória disponível
- . Normalmente, as instruções voltadas para operação com memória requerem 3 bytes para endereçar um determinado "I/O" , enquanto que as instruções voltadas para operação com dispositivos de I/O's precisam apenas de 8 bits para especificar um determinado "I/O".

Vide figura C-4.

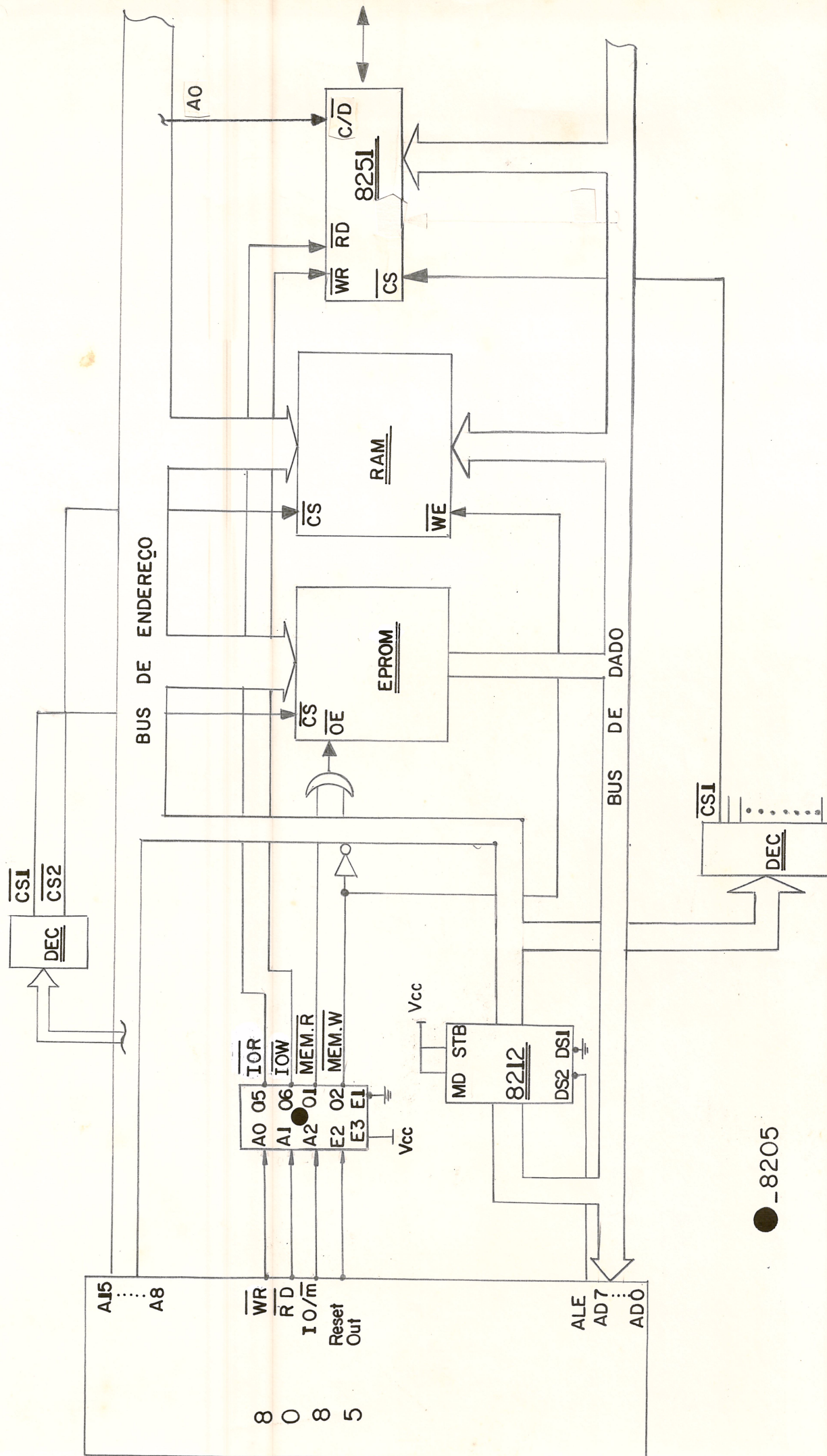


Figura C3 — Configuração I/O Isolado