

$\overline{\text{TXC}}$ em uma razão igual a 1, 1/16 ou 1/64 do $\overline{\text{TXC}}$, conforme definido na Instrução de Modo. Quando nenhum caractere for enviado ao 8251 A, a saída TXD deste permanecerá em "1", até que um Break (caractere composto somente por "0"; é utilizado em uma configuração full-duplex para interromper uma transmissão) seja programado.

Modo Assíncrono (Recepção):

A linha RXD está normalmente alta. Um nível "0" nesta linha inicia um bit de start. A validade deste bit de start é checada na metade dos clocks de $\overline{\text{RXC}}$ (somente no modo 16 X ou 64 X). Se um "low" é detectado novamente, o bit de start é considerado válido. Em seguida são lidos do mesmo modo os bits de dado, o bit de paridade (se houver) e o(s) bit(s) de stop. Se ocorrer um erro de paridade, o flag de erro de paridade é setado. Os bits de dado e de paridade são lidos na linha RXD na subida do pulso $\overline{\text{RXC}}$. Se um nível "0" é detectado como bit de stop, o flag de ERRO de FRAMING (estrutura) será setado. O bit de stop sinaliza o fim de um caractere. Note que o Recei-
ver requer somente um bit de stop, indiferentemente do número de bits de stop programado. Este caractere recebido é então carregado no buffer de I/O paralelo do 8251 A. O pino RXRDY é levado a "1" para avisar à CPU que o caractere está pronto para ser buscado. Se o caractere anterior não foi lido pela CPU, o novo caractere recebido é colocado no buffer de I/O, e o flag de Overrun (sobreposição) é setado (o caracter anterior é perdido). Todos os flags de erro podem ser resetados através do bit Error Reset presenteem uma Instrução de Comando. A ocorrência de qualquer um destes erros não afetará a operação do 8251 A.

Modo Síncrono (Transmissão):

A saída TXD está continuamente alta até que a CPU envie seu primeiro caractere ao 8251 A, que normalmente é um caractere SYNC. Quando a linha $\overline{\text{CTS}}$ vai para "0", o primeiro caractere é transmitido serialmente. O dado é "shiftado" para fora na mesma razão de $\overline{\text{TXC}}$.

Uma vez que a transmissão é iniciada, a fila de dados na saída TXD deve continuar na razão de $\overline{\text{TXC}}$. Se a CPU não enviar ao 8251 A um novo caractere antes do Buffer' de Transmissão do 8251 A tornar-se vazio, os caracteres de sincronismo (ou caractere de síncronismo se assim for programado) serão automaticamente inseridos na fila de dados de TXD. Neste caso, o pino TXEMPTY ficará em "1" para avisar que o 8251 A está vazio e que caracteres SYNC estão sendo transmitidos. O pino TXEMPTY é resetado internamente quando a CPU escrever um caracter no 8251 A.

Modo Síncrono (Recepção):

Neste Modo, caracteres de sincronismo podem ser internamente ou externamente encontrados. Se o modo SYNC foi programado, o comando ENTER HUNT deve ser incluído na primeira Instrução de Comando. O dado no pino RXD é então amostrado na subida do sinal $\overline{\text{RXC}}$. O conteúdo do Buffer de Recepção é comparado com o caractere SYNC, até que uma igualdade ocorra. Se o 8251 A foi programado para dois caracteres SYNC, o caractere recebido em seguida é também comparado; quando ambos caracteres SYNC são detectados, o 8251 A termina o modo HUNT e fica sincronizando os bits recebidos. O pino SYNDET é então setado em "1", e é resetado automaticamente em uma leitura

ra de Status.

No modo SYNC externo, o sincronismo é encontrado aplicando um nível "1" no pino SYNDET, forçando então o 8251 a sair do modo HUNT. Um comando ENTER HUNT não tem efeito no Modo Assíncrono.

Erro de paridade e erro de overrun são ambos checados do mesmo modo da Recepção Assíncrona.

Os formatos de um dado a ser transmitido ou recebido nos Modos Assíncrono e Síncrono são apresentados na Figura 52.

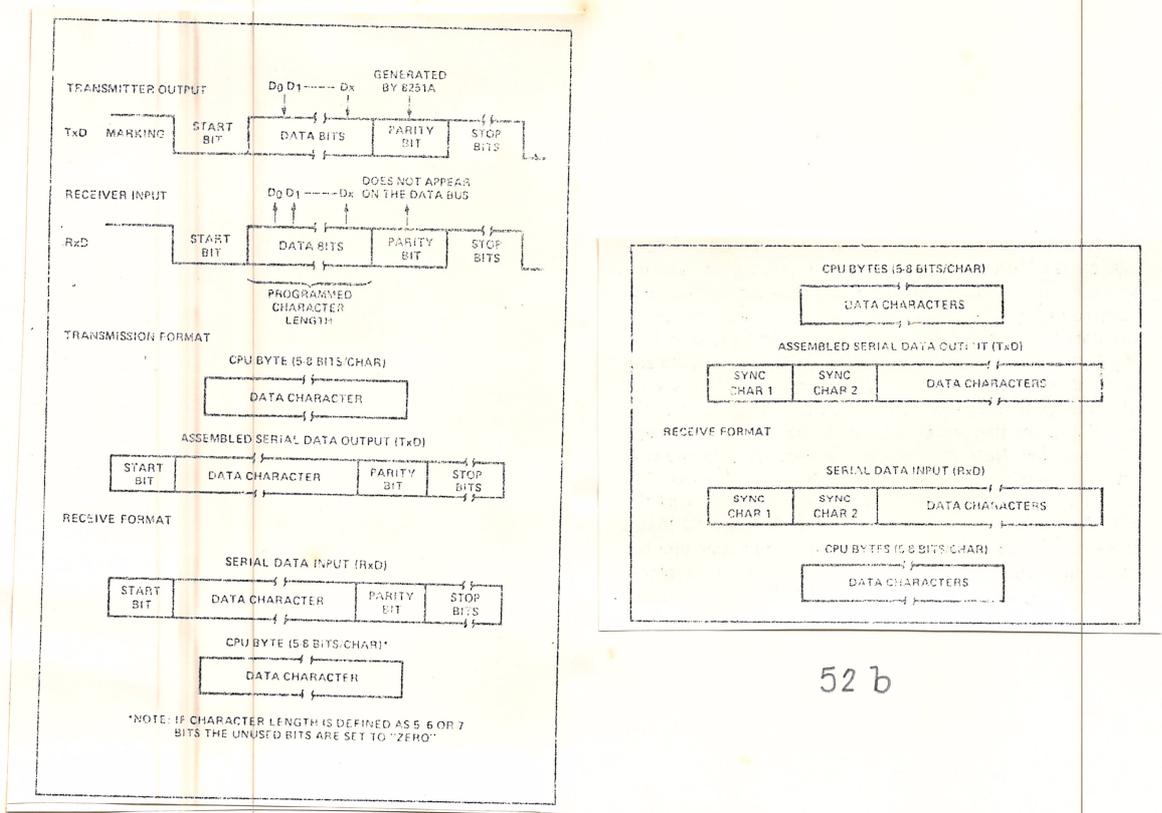


Figura 52 : Formato do dado
 a. Modo Assíncrono
 b. Modo Síncrono

. Instrução de Comando

Este formato define uma palavra de status que é usado para controlar a atual operação do 8251 A. As instruções de Modo e de Comando devem obedecer uma sequência específica para uma operação apropriada do 8251 A. A Instrução de Modo deve ser inserida imediatamente após uma operação de Reset. Todas as palavras de controle escritas no 8251 A depois da Instrução de Modo (e depois dos caracteres SYNC se houver) serão Instruções de Comando. Instruções de Comando podem ser escritas no 8251 A em qualquer tempo durante a operação do 8251 A. Para retornar ao formato Instrução de Modo, o bit Internal Reset presente na Instrução de Comando pode provocar uma operação de Reset interno que automaticamente retorna o 8251 A ao formato Instrução de Modo.

Funções como: habilitação de transmissão/recepção, error reset (reset dos flag's de erro), e controles de MODEM são providas pela Instrução de Comando.

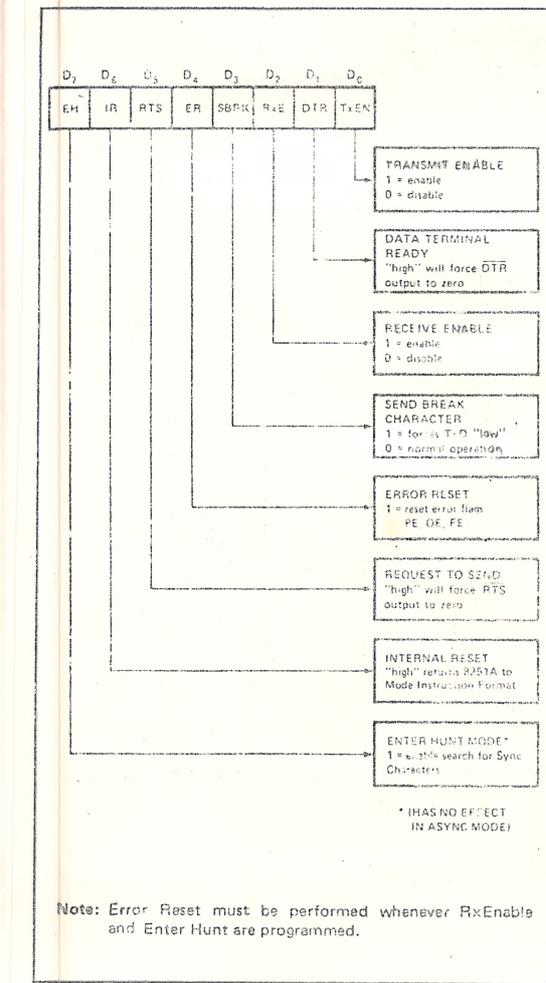
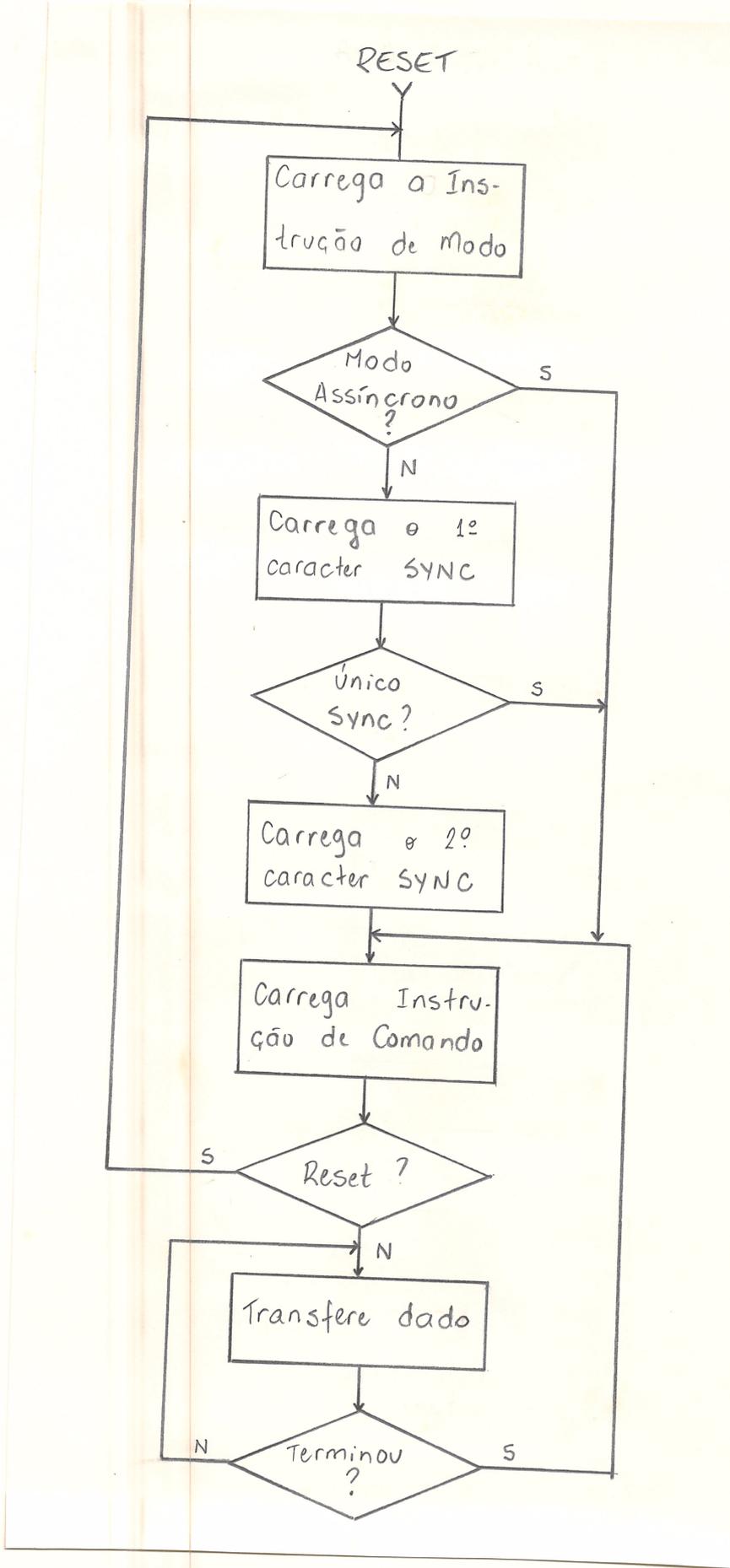


Figura 53: Formato de Instrução de Comando

Podemos resumir a inicialização do 8251 A através do seguinte fluxograma:



3.3. LEITURA DE STATUS

Em sistema de comunicação de dados é frequentemente necessário examinar o "status" do dispositivo ativo para verificar se ocorreram erros ou verificar outras condições que requerem a atenção do processador. O 8251 A permite que se leia facilmente o seu status em qualquer momento durante sua operação.

Alguns dos bits da palavra de Status têm significados idênticos aos pinos externos que podem ser checados numa operação de Polled ou quando no atendimento de uma interrupção. TXRDY é uma exceção, isto é, o bit de status TXRDY tem significado diferente do pino TXRDY; o primeiro não é condicionado por \overline{CTS} e \overline{TxEN} ; o último é condicionado por $CTS = 0$ e $TxEN = 1$ (os dois dependem da condição Buffer de Transmissão vazio).

A Figura 54 apresenta o formato da Palavra de Status

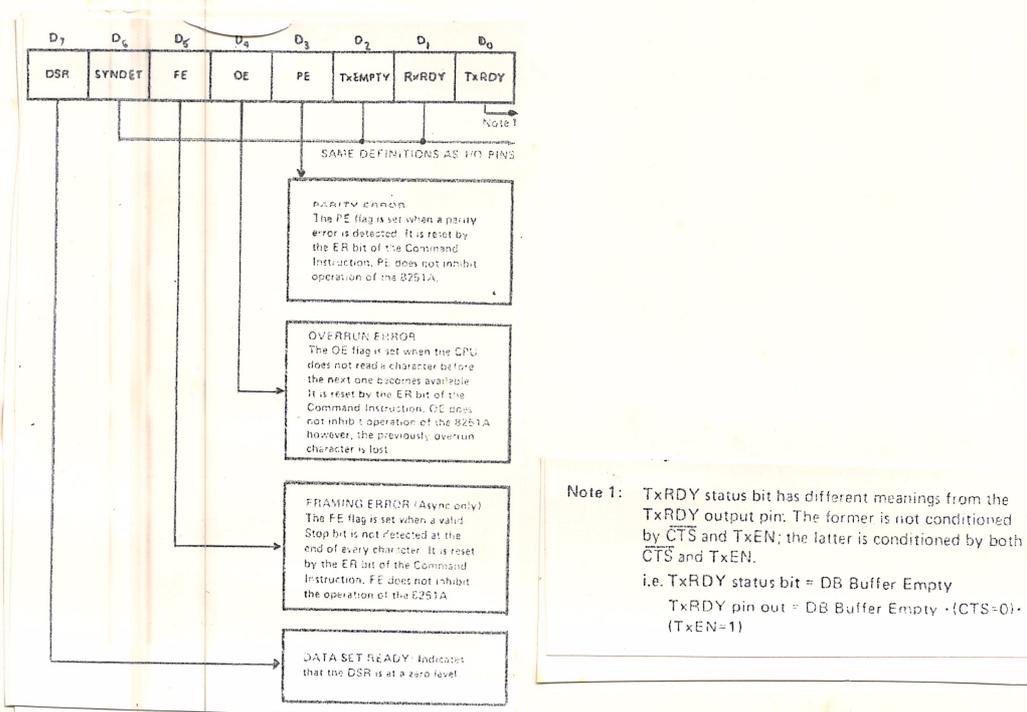


Figura 54 : Formato da Palavra de Status

4. LIGAÇÃO DO 8251 A AOS BUSES

A Figura 55 mostra um exemplo de interfaceamento do 8251 A aos buses do sistema (8080).

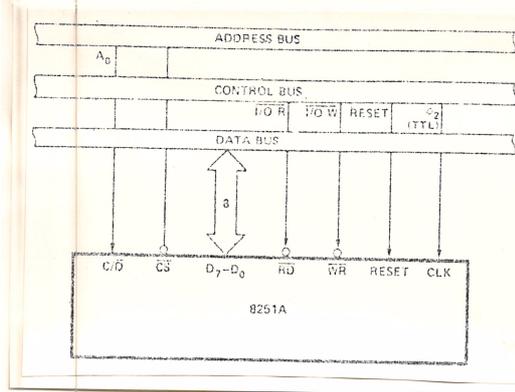


Figura 55 : Ligação do 8251 A aos buses

OBS.: Para ligar o 8251 A a um sistema 8085, basta substituir o clock \emptyset 2 (TTL) do sistema 8080 pelo clock fornecido no pino CLKOUT do 8085 (por exemplo).

5. APLICAÇÕES DO 8251 A

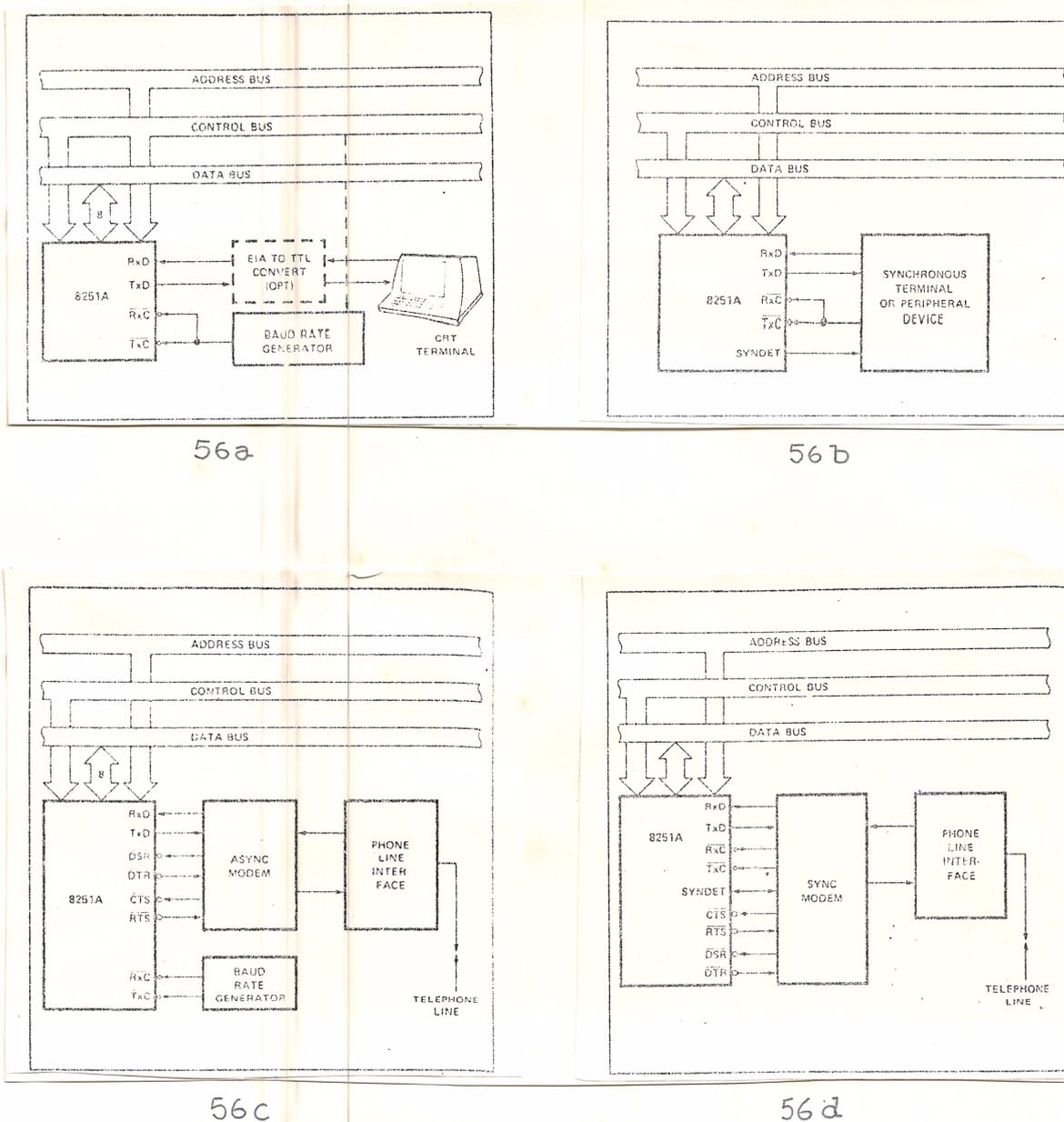


Figura 56 : a. Interface Serial Assíncrona com um Terminal de Vídeo.
 b. Interface Síncrona com um Terminal ou Dispositivo Periférico.
 c. Interface Assíncrona com Linhas Telefônicas.
 d. Interface Síncrona com Linhas Telefônicas.

. Características elétricas e formas de onda podem ser encontrados na Referência.

1. INTRODUÇÃO

O 8255 A é uma Interface Periférica Programável (IPP) projetado para o uso em sistema de Microcomputadores da INTEL. Ele é basicamente um dispositivo de E/S, que servirá de interface entre um equipamento e o bus do microcomputador. A configuração funcional do 8255 A é programada pelo sistema de software, e normalmente não é necessário nenhuma lógica externa para este interfaceamento.

A Figura 57 mostra o diagrama de blocos do 8255 A e a sua pinagem.

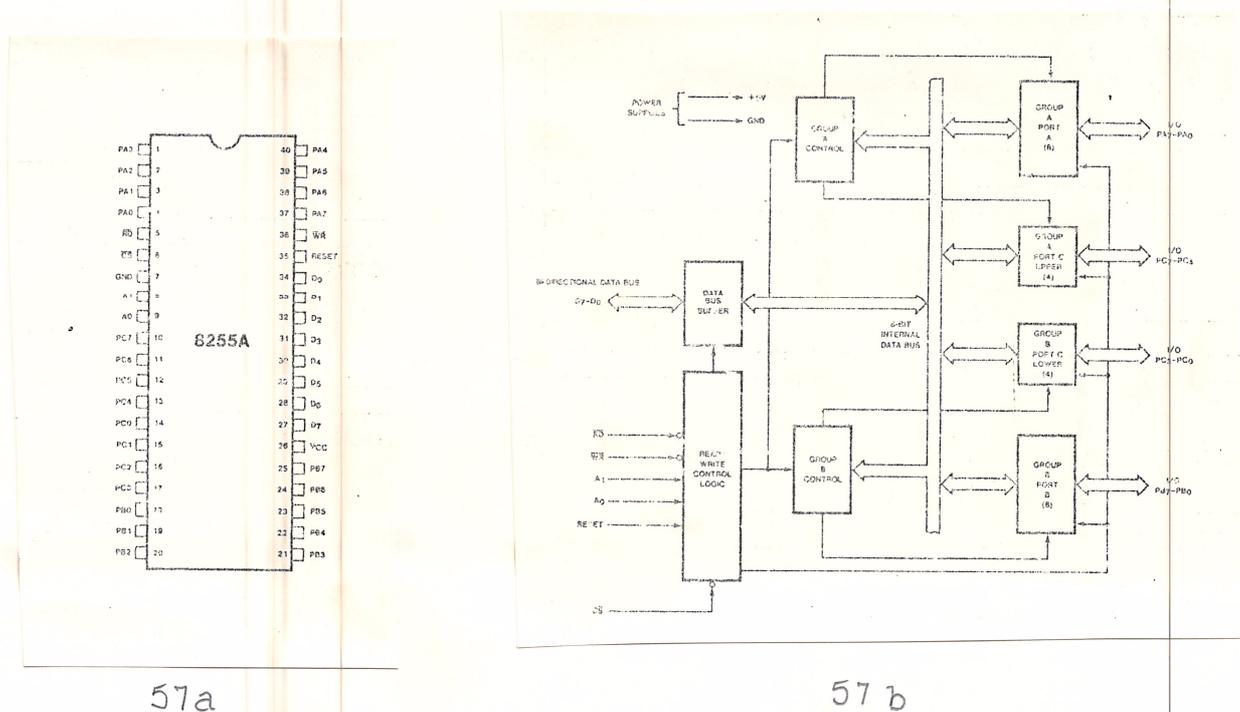


Figura 57 : 8255 A a. Configuração dos pinos
b. Diagrama de Blocos

2. DESCRIÇÃO FUNCIONAL BÁSICA

2.1. BUFFER DO BUS DE DADOS

Este bloco realiza o interfaceamento do 8255 A com o Bus de Dados do Sistema. O dado é transmitido ou recebido por este buffer através da execução de instruções de Input ou Output feitas pela CPU. As palavras de Controle e as informações de Status são também transferidas por este buffer.

2.2. READ/WRITE E CONTROL LOGIC

A função deste bloco é controlar todas as transferências internas e externas das palavras de Dado, Controle ou Status. Ele recebe os sinais de entrada através do Bus de Endereços e Bus de Controle, os quais comandam os Grupos de Controle (que veremos adiante).

Os sinais de entrada deste bloco são:

- \overline{CS} (Chip Select): um nível "0" nesta entrada habilita a comunicação entre o 8255 A e a CPU.
- \overline{RD} (Read): um nível "0" nesta entrada habilita o 8255 A a enviar o dado ou informação de Status à CPU através do Bus de Dados. Em resumo, ele permite que a CPU leia o 8255.
- \overline{WR} (Write): um nível "0" neste pino de entrada habilita a CPU a escrever um dado ou uma palavra de controle no 8255 A.

com os sinais \overline{RD} e \overline{WR} , controlam a seleção de uma das três portas ou o Registrador de Palavra de Controle. Eles são normalmente conectadas aos bits de endereços menos significativos.

A tabela abaixo mostra um resumo da operação básica do 8255 A:

AI	AO	\overline{RD}	\overline{WR}	\overline{CS}	OPERAÇÃO DE LEITURA
0	0	0	1	0	Porta A → Bus de Dados
0	1	0	1	0	Porta B → Bus de Dados
1	0	0	1	0	Porta C → Bus de Dados
					Operação de Escrita
0	0	1	0	0	Bus de Dados → Porta A
0	1	1	0	0	Bus de Dados → Porta B
1	0	1	0	0	Bus de Dados → Porta C
1	1	1	0	0	Bus de Dados → Controle
					Não - Operação
x	x	x	x	1	Bus de Dados → 3 - State
1	1	0	1	0	Condição Ilegal
x	x	1	1	0	Bus de Dados → 3 - State

- RESET (reset): um nível "1" nesta entrada "limpa" o registrador de palavra de controle e todas as portas (A, B e C) são colocadas no modo entrada.

2.3. GROUP A AND GROUP B CONTROLS

A configuração funcional de cada porta é programada pelo sistema de software. A CPU envia uma palavra de controle ao 8255 A. Esta palavra contém informações como "mode", "bit set", "bit reset", etc, que inicializa a configuração funcional do 8255 A.

Cada um dos blocos de Controle (Grupo A e Grupo B) recebe os comandos de Read/Write Control Logic, recebe palavras de controle do bus interno de dados e transfere os comandos apropriados às portas.

Control Group A - Porta A e Porta C superior

Control Group B - Porta B e Porta C inferior

- Porta A, B e C: O 8255 A contém três portas de 8 bits (A, B e C). Todas elas podem ser configuradas de várias maneiras pelo sistema software (será visto na seção seguinte).

Porta A: saída de dado de 8 bits (latch/buffer) e entrada de dado de 8 bits (latch).

Porta B: entrada/saída de dado de 8 bits (latch/buffer) e entrada de dado de 8 bits (buffer).

Porta C: saída de dado de 8 bits (latch/Buffer) e entrada de dado de 8 bits (buffer). Esta porta pode ser dividida em 2 portas de 4 bits. Cada porta de 4 bits contém um latch de 4 bits que pode ser usado como saídas de sinais de controle e entradas de sinais de status em conjunção com as portas A e B.

3. DESCRIÇÃO DA OPERAÇÃO

3.1. MODO DE SELEÇÃO

Há três modos básicos de operação que podem ser selecionados pelo sistema de software:

Modo 0: Entrada/Saída básica

Modo 1: Entrada/Saída gatilhada

Modo 2: Bus bi-direcional

Quando a entrada Reset vai a "1", todas as portas são setadas no modo entrada (ie, todas as 24 linhas estarão no estado de alta impedância). Durante a execução do programa, qualquer um dos modos poderá ser selecionado usando uma única instrução OUTPUT. Isto permite que um único 8255 A trabalhe com uma grande variedade de dispositivos periféricos utilizando uma única rotina de software.

Os modos para as Portas A e B podem ser definidos separadamente, enquanto que a Porta C é dividida em duas porções como requeridas pela definição das Portas A e B. Todos os registradores de saída, incluindo os flip-flops de saída, serão resetados quando o modo é codificado. Os modos podem ser combinados se isso for preciso para atender a estrutura de I/O. Por exemplo: o Grupo B pode ser programado no Modo 0 para monitorar um sistema de displays ou um grupo de switches, enquanto o Grupo A pode estar programado no Modo 1 para monitorar um teclado ou uma leitora de fita.

A Figura 58 apresenta as configurações dos três modos básicos de operação do 8255 A.

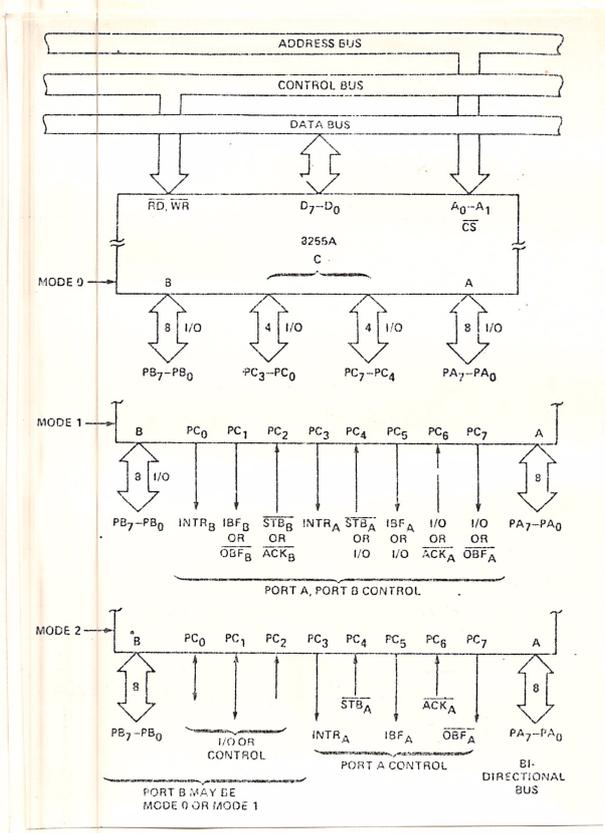


Figura 58 : Configuração do 8255 A

A programação do modo de operação do 8255 A é feita através de uma palavra de controle, cujo formato é mostrado na Figura 59.

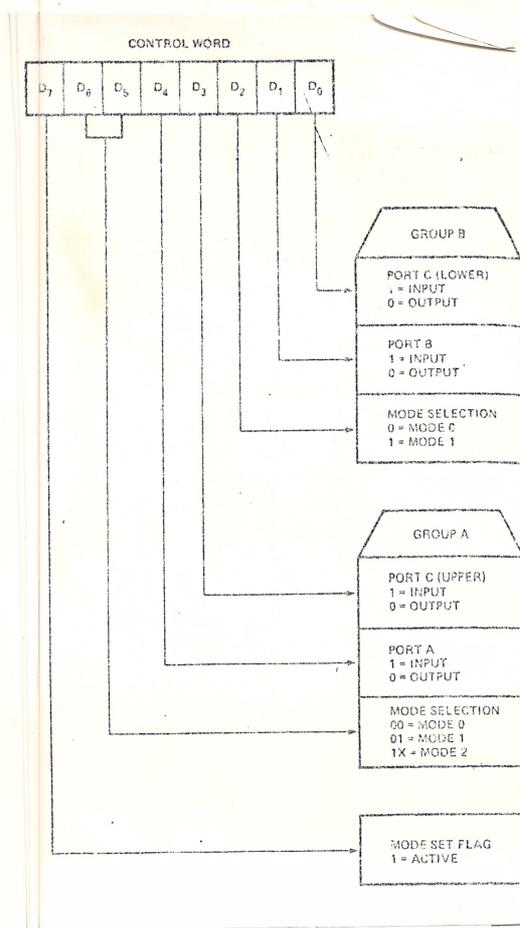


Figura 59 : Formato da palavra de controle que define o modo de operação do 8255 A

3.2. BIT SET/RESET

Quando o bit 7 da palavra de controle que define o modo de operação do 8255 A é igual a zero, esta palavra de controle é interpretada pelo 8255 A como um comando bit set/reset para a Porta C (vide Figura 60). Através de um comando bit set/reset, qualquer um dos 8 bits da Porta C podem ser setado ou resetado independentemente. Note que neste caso os bits 6 e 4 da palavra de controle não são usados e devem ser setados em "0".