

APÊNDICE A

INTERFACES PROGRAMÁVEIS

8251-A

8255-A

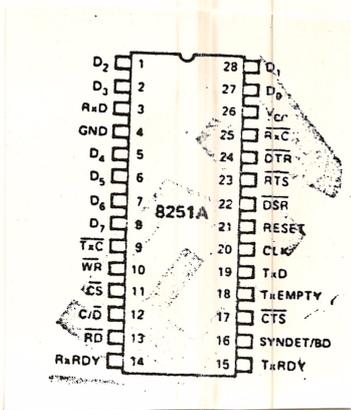
8251 A1. INTRODUÇÃO

O 8251 A é um USART (Universal Synchronous/Asynchronous Receiver/Transmitter), especialmente projetado para sistemas 8080/8085.

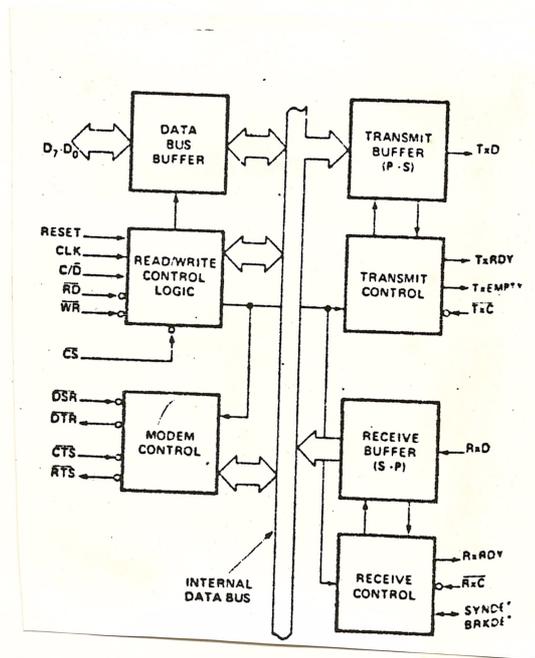
O 8251 A é usado como um dispositivo periférico e é programado pela CPU para operar utilizando qualquer técnica de transmissão serial de dados.

O USART recebe os dados da CPU no formato paralelo e então converte-os em dados seriais contínuos para depois transmití-los. Do mesmo modo, ele pode receber os dados serialmente e convertê-los em dados paralelos, para depois transmití-los à CPU. O USART avisará a CPU sempre que puder receber um novo caractere da CPU para transmití-lo ou quando receber um caractere para a CPU. A CPU poderá ler o Status completo do USART em qualquer momento. Esta palavra de Status conterá os erros inseridos em uma transmissão de dados, além de conter as condições dos sinais de controle como SYNDET e TXEMPTY.

A figura 50a mostra a configuração dos pinos do 8251 A e a figura 50b mostra o diagrama de blocos deste CI.



50a



50b

Figura 50: a. Configuração dos pinos  
b. Diagrama de Blocos

## 2. DESCRIÇÃO FUNCIONAL BÁSICA

### 2.1. CONSIDERAÇÕES GERAIS

O 8251 A é um USART projetado especificamente para Sistemas de Microcomputadores 80/85. Como outros dispositivos de E/S, sua configuração funcional é programado pelo sistema de software com máxima flexibilidade.

Em uma comunicação de dados, uma interface deve converter informações do formato paralelo do sistema em formato serial para transmití-las, e também converter as informações que chegam no formato serial para o formato paralelo, para serem enviadas ao sistema. A interface deve ainda detectar ou inserir bits ou caracteres que sejam únicos em termos funcionais, para a técnica de comunicação. Em resumo, a interface deve ser "transparente" para a CPU, como sendo uma única porta de entrada/saída de dados.

### 2.2. BUFFER DO BUS DE DADOS

Este bloco que aparece na figura é um buffer bi-direcional de 8 bits, tri-state, que tem por função o interfacimento do 8251 A com o Bus de Dados do Sistema. O dado é transmitido ou recebido por este buffer, pela execução das instruções IN ou OUT, respectivamente. Palavras de controle, palavras de comando e informações de STATUS são transferidos através deste buffer.

### 2.3. READ/WRITE E CONTROL LOGIC

Este bloco recebe sinais de controle do chip. Nele estão contidos o registrador de palavra de modo e o registrador de

palavra de comando, que armazenam os vários formatos de controle que definem o funcionamento do 8251 A.

Este bloco recebe os seguintes sinais:

- RESET: um nível "1" nesta entrada força o 8251 A a entrar em um modo inativo. Ele permanecerá neste estado até que um novo conjunto de palavras de controle seja escrito para programá-lo.
- CLK (CLOCK): é usado para gerar os sinais internos de tempo.
- $\overline{\text{WR}}$  (WRITE): um nível "0" nesta entrada informa ao 8251 A que a CPU está escrevendo um dado ou uma palavra de controle no 8251 A.
- $\overline{\text{RD}}$  (READ): um nível "0" nesta entrada informa ao 8251 A que a CPU está lendo um dado ou informação de STATUS do 8251 A.
- $\text{C}/\overline{\text{D}}$  (CONTROL/DATA): esta entrada, em conjunto com as entradas  $\overline{\text{WR}}$  e  $\overline{\text{RD}}$ , informa ao 8251 A que a palavra de controle no Bus de Dados é um dado, uma palavra de controle, ou uma informação de Status.  
 $\text{C}/\overline{\text{D}} - 1$ : Controle ou Status  
 $\text{C}/\overline{\text{D}} - 0$ : Dado
- $\overline{\text{CS}}$  (CHIP SELECT): um nível "0" nesta entrada seleciona o 8251A. Nenhuma leitura e nenhuma escrita ocorre se o chip não estiver selecionado.

Podemos ter as seguintes combinações dos sinais  $C/\bar{D}$ ,  $\bar{RD}$ ,  $\bar{WR}$  e  $\bar{CS}$ :

$C/\bar{D}$	$\bar{RD}$	$\bar{WR}$	$\bar{CS}$	
0	0	1	0	Dado do 8251 A $\rightarrow$ Bus de Dados
0	1	0	0	Bus de Dados $\rightarrow$ 8251 A
1	0	1	0	Status $\rightarrow$ Bus de Dados
1	1	0	0	Bus de Dados $\rightarrow$ 8251 A (controle)
X	1	1	0	Bus de Dados $\rightarrow$ 3 - State
X	X	X	1	Bus de Dados $\rightarrow$ 3 - State

#### 2.4. MODEM CONTROL

O 8251 A tem um conjunto de entradas e saídas de controle que podem ser usados para simplificar o interfaceamento com qualquer MODEM. Os sinais de Controle de MODEM são de propósito geral e podem ser usados para outras funções, se necessário.

Os sinais de entrada/Saída deste bloco são:

- $\bar{DSR}$  (Data Set Ready) : é um sinal de entrada, ativo "0", cuja condição pode ser testada pela CPU através de uma leitura de Status. Ele é normalmente utilizado para testar condições do MODEM como "Data Set Ready" (Pronto para operação).

- $\overline{\text{DTR}}$  (Data Terminal Ready): sinal de saída de propósito geral, que pode ser colocado em zero através da programação do bit apropriado. Este sinal é normalmente usado para controle de MODEM, tal como "Data Terminal Ready" ou "Rate Select".
  
- $\overline{\text{RTS}}$  (Request to Send): sinal de saída, que pode ser colocado em zero através da programação do bit apropriado na palavra de instrução de comando. Ele é normalmente utilizado para controle de MODEM como "Request to Send" (Requisição para enviar).
  
- $\overline{\text{CTS}}$  (Clear to Send): um "low" nesta entrada habilita o 8251 A a transmitir o dado serialmente se o bit de habilitação de transmissão (Tx Enable bit) do byte de comando estiver em "1". Se ocorrer  $\overline{\text{CTS}} = 1$  enquanto houver uma operação de transmissão, será transmitido o dado que se encontrar no chip escrito antes da ocorrência de uma destas condições.

## 2.5. BUFFER DE TRANSMISSÃO

Este bloco recebe os dados na forma paralela do Buffer do Bus de Dados, converte-os para o formato serial, insere os caracteres ou bits apropriados (baseado na técnica de comunicação) e coloca-os na saída TXD, bit a bit, sincronamente com a borda de descida do sinal  $\overline{\text{TXC}}$ . A transmissão poderá ser iniciada quando tivermos  $\overline{\text{CTS}} = 0$ .

## 2.6. TRANSMITTER CONTROL

Este bloco controla as atividades associadas com a transmissão serial de dados. Ele recebe e fornece sinais internos e externos para realizar esta função.

Os sinais envolvidos por este bloco são:

- TXRDY (Transmitter Ready): esta saída avisa a CPU de que o bloco de transmissão está pronto para receber um caractere. Ela pode ser utilizada como uma interrupção do sistema, desde que possa ser "mascarado" pelo TX Disabled, ou, para uma operação do tipo "polled", a CPU pode checar este pino através de uma leitura do Status. TXRDY é automaticamente resetado pela subida de pulso de  $\overline{\text{WR}}$ , quando o caractere é carregado no chip pela CPU.

- TXEMPTY (Transmitter Empty): quando o 8251 A não tiver caracteres para transmitir, a saída TXEMPTY irá a nível "1", sendo automaticamente resetada após receber um caractere da CPU. TXEMPTY pode ser usada para indicar o fim de uma transmissão.

- TXC (Transmitter Clock): este sinal controla a velocidade com a qual um caractere é transmitido. No modo de transmissão síncrona, o "Baud Rate" (lx) é igual à frequência TXC. No modo de transmissão assíncrona, o Baud Rate é uma fração da frequência TXC. Uma parte da instrução do modo de operação do chip seleciona este fator; ele pode ser 1, 1/16 ou 1/64 do TXC.

Por exemplo, se o "Baud Rate" for igual a 110 Baud, temos:

- .TXC igual a 110 Hz, se o fator for 1
- .TXC igual a 1,76 KHz, se o fator for 16
- .TXC igual a 7,04 KHz, se o fator for 64.

A borda de descida do sinal TXC desloca os dados seriais para fora da pastilha.

## 2.7. BUFFER DE RECEPÇÃO

Este bloco recebe os dados seriais, converte esta entrada serial para o formato paralelo, verifica os bits ou caracteres necessários na técnica de comunicação utilizada e envia um caractere "montado" para a CPU. Os bits seriais entram na pastilha através do pino RXD, e é "clockado" com a borda de subida de  $\overline{RXC}$ .

## 2.8. RECEIVER CONTROL

Este bloco controla todas as atividades relacionadas com a recepção, que consistem das seguintes características:

- o circuito de inicialização de RXD previne que o 8251 A confunda uma linha de entrada inativa com um dado em "0", na condição de "break". Antes do início de uma recepção de caracteres seriais através de RXD, um bit válido "1" deve primeiramente ser detectado, depois de ter ocorrido um reset no chip. Uma vez que isto foi determinado, uma procura por um bit válido em "0" (bit de início) é habilitada. Esta característica somente é válida no Modo Assíncrono, e acontece somente uma vez depois de um reset.
- Um bit de início falso é detectado por um circuito de detecção de falsos start bits (o bit de início falso poderia ser causado por ruído, por exemplo).
- Os flip-flops de Parity Toggle e Parity Error são usados para detecção de erro de paridade e dar valor apropriado ao bit de status correspondente.

- O flip-flop de Framing Error Flag (erro de estrutura) é colocado em "1" se o "stop bit" não estiver presente no final do byte de dados (modo assíncrono), e também coloca em "1" o bit de status correspondente.

Sinais deste Bloco:

- RXRDY (Receiver Ready): sinal de saída que indica que o 8251 A contém um caractere que está pronto para ser lido pela CPU. RXRDY pode ser conectado a uma das entradas de interrupção da CPU, ou, em uma operação de Polled, a CPU pode chegar a condição de RXRDY usando uma operação de leitura de Status.
- $\overline{\text{RXC}}$  (Receiver Clock): esta entrada controla a velocidade com que um caractere é recebido. No Modo Síncrono, o Baud Rate (lx) é igual à frequência de  $\overline{\text{RXC}}$ . No Modo Assíncrono o Baud Rate é uma fração da frequência em  $\overline{\text{RXC}}$ . Uma parte da palavra que define o modo de operação do 8251 A seleciona o fator: 1, 1/16 ou 1/64 de  $\overline{\text{RXC}}$ . O dado é lido pelo 8251 A na subida do pulso  $\overline{\text{RXC}}$ .  
OBS.: Na maioria das vezes, o  $\overline{\text{TXC}}$  e  $\overline{\text{RXC}}$  irão requer frequências iguais e podem ser ligados à mesma origem.

- SYNDET/BRKDET (SYNC

Detect/Break Detect): este pino é usado no Modo Síncro no como SYNDET e pode ser usado' como entrada ou como saída, pro gramável através da Palavra de Controle.

Ele vai para o modo de saída através de um Reset. Quando usado como saída, o pino SYNDET irá a "1" para indicar que o 8251 A de tectou o caractere SYNC no modo recepção. O sinal SYNDET é auto maticamente resetado depois uma operação de leitura de Status.

Quando usado como entrada, uma subida de nível deste sinal causará o início da "montagem" de caracteres de dados na subida do próximo  $\overline{RXC}$ . Uma vez em SYNC, o sinal alto nesta entrada poderá ser removido.

Quando utilizamos Modo Assíncro no, o pino terá a função de "Break Detect", sendo um sinal de saída. Ele irá a "1" quando uma palavra composta somente por zeros (incluindo bit de start, bits de da do, bit de paridade e um bit de stop) for recebida. Poderá também ser lido através da palavra de Status. Ele é resetado somente com um Reset geral ou com o dado no piso RXD retornando ao nível 1.

### 3. DESCRIÇÃO DA OPERAÇÃO BÁSICA

#### 3.1. CONSIDERAÇÕES GERAIS

A definição funcional completo do 8251 A é programada pelo sistema software. Um conjunto de palavras de controle devem ser enviados pela CPU para inicializar o 8251 A. Estas palavras de controle definem os seguintes fatores: razão de transmissão/recepção em bits por segundo (Baud Rate) tamanho do caractere (Character Lengh), número de bits de stops, operação síncrona ou assíncrona, paridade para ou ímpar ou inibição de paridade, etc.

Uma vez programado, o 8251 A está pronto para realizar as funções de comunicação. A saída TXRDY vai a "1" sempre que o 8251 está pronto para receber um dado da CPU (ela é resetada automaticamente quando a CPU escreve um caractere no 8251 A). Por outro lado, o 8251 A recebe um dado em série de um MODEM ou de um dispositivo de I/O. Assim que ele recebeu um dado, a saída RXRDY vai a "1", avisando à CPU que o 8251 A contém um dado completo para ser enviado à CPU. RXRDY é resetado automaticamente depois de uma operação de leitura pela CPU.

O 8251 A não pode começar a transmissão até que um bit de habilitação de transmissão (Transmitter Enable) seja colocado na palavra de Instrução de Comando, e antes dele receber um nível ativo na entrada CTS.

#### 3.2. PROGRAMAÇÃO DO 8251 A

pela CPU. Estes sinais de controle definem o funcionamento completo do 8251 A e devem ser colocados imediatamente após uma operação de Reset no Chip.

As palavras de controle são divididas em dois formatos:

- Instrução de Modo
- Instrução de Comando

. Instrução de Modo

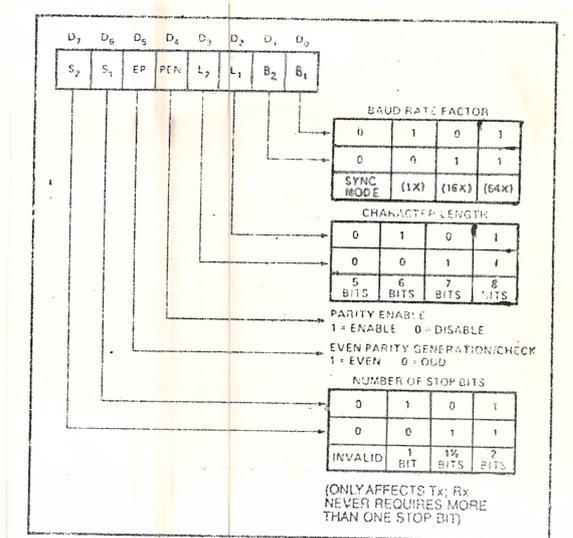
Este formato define as características gerais de operação do 8251 A. Deve ser enviada logo após uma operação de Reset (interna ou externa). Uma vez que a Instrução de Modo foi escrita no 8251 A pela CPU, caracteres de SYNC ou instruções de Comandos devem ser enviadas.

O 8251 A pode ser usado em uma comunicação Assíncrona ou Síncrona. Para entender como a Instrução de Modo define a operação funcional do 8251 A, este pode ser visto como se fosse duas partes separadas de componentes no mesmo empacotamento, uma Assíncrona e outra Síncrona. A definição deste formato pode ser codificado somente depois de uma operação de Reset.

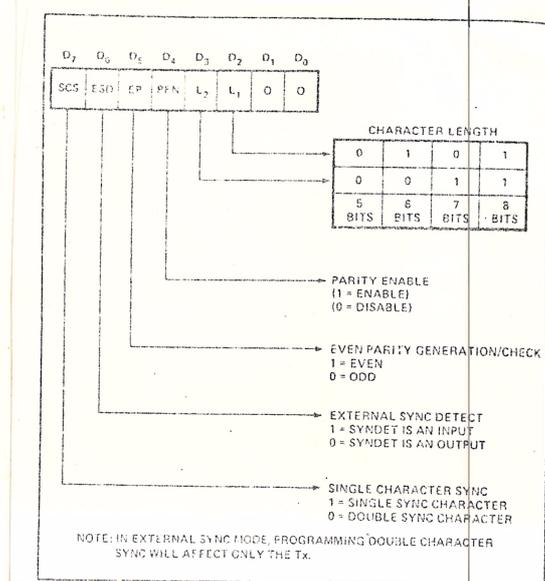
A Instrução de Modo define se o 8251 A vai operar no Modo Síncrono ou Assíncrono, o tamanho do caracter, o tipo de paridade, etc. A Figura 51 apresenta o formato de instrução de Modo.

NOTA: Quando o bit de paridade é habilitado, ele não é considerado como um dos bits de caracteres para e-

ser menor que 8 bits, os bits menos significativos do Bus de Dados segurarão o caractere; os bits não utilizados são ignorados pelo 8251 A em uma operação de escrita e serão "zeros" em uma operação de leitura do caracter presente no 8251 A.



51 a



51 b

Figura 51 : Formato da Instrução de Modo

- a. Modo Assíncrono
- b. Modo Síncrono

Modo Assíncrono (Transmissão):

Quando um caractere é enviado pela CPU, o 8251 A automaticamente adiciona um bit de start (nível "0") seguido pelos bits de dado (caractere) (o bit menos significativo primeiro) e em seguida o(s) bit(s) de stop (nível "1"). Se for programado bit de paridade (par ou ímpar), este é inserido antes do(s) bit(s) de stop. O caractere é então transmitido serialmente (bit a bit) na saída TXD. O dado serial é "shiftado" (deslocado) na descida do pulso