

Itaitos

Documentação de Produto

COLEÇÃO DE DOCUMENTOS	ANEXO
02017-07-022	01
DATA	PL
13/04/83	

OBJETO

PROJETO TERMINAL CAIXA EM UMA PLACA

DATA

DESCRIÇÃO

DATA

OBSERVAÇÕES

		/	/
		/	/
		/	/
		/	/
DATA	LOCAL	ASSINATURA	

COLEÇÃO DE DOCUMENTOS 02017-07-022-001

Documentação do Produto

OBJETO

TERMINAL CAIXA EM UMA PLACA

O terminal com módulo eletrônico agrupado em uma única placa tem os seguintes objetivos básicos:

- . diminuição do número de componentes utilizados;
- . diminuição do custo de montagem, pela simplificação da mecânica;
- . diminuição do custo de testes e manutenção;
- . aumento da confiabilidade.

O hardware além de ser usado no terminal caixa, será também usado no terminal administrativo simplificado. Sua composição básica consta de uma CPU 8085A, de uma USART 8251A para comunicação serial, duas 8255A para comunicação paralela que comandam teclado, leitura de cartões magnéticos e impressora. O visor poderá ser o tradicional usado até agora nos terminais com placas modulares, ou através de um display fluorescente com 40 posições alfanuméricas com fonte própria acoplada.

Serão dadas a seguir as características do hardware do terminal, divididas em blocos funcionais.

1. CPU

A CPU utilizada é o 8085A com frequência de interrupção (7.5) selecionável através de jumpers a um dos quatro valores: 500Hz, 1200Hz, 2400Hz ou 1600Hz.

A interrupção 6.5 é dado pelo clock fornecido pela impressora (que será abordado posteriormente), enquanto que, a interrupção 5.5 é dada pela 8251A destinada à comunicação serial (que também será abordada posteriormente).

O cristal utilizado para geração do clock é de 6,144MHz, portanto a frequência do clock interno é de 3,072MHz.

A entrada SID é utilizada para leitura de cartões magnéticos enquanto que a saída SOD é usada como controle do circuito de leitura de cartões magnéticos (abordado posteriormente).

O bus de dados é ligado a um CI 74LS245 que é um buffer bidirecional com saídas 3-state controlado pelo sinal de controle RD. Os oito bits menos significativos do bus de endereço (que é multiplexado com os 8 bits de dados do 8085A) são ligados a um CI 74LS373 que é um buffer composto por 8 flip-flops tipo D (latches) controlador pelo sinal ALE de tal forma que a metade menos significativa da palavra de endereço seja mantida nas saídas dos latches quando o sinal ALE cair para o nível lógico zero. Os sinais de controle RD, WR, RESET OUT e os bits mais significativos da palavra de endereço, exceto A12, A13 e A14 são ligados ao CI 74LS244 que é um buffer que está sempre habilitado.

Os sinais A12, A13 e A14 não passam pelo buffer pois serão usados apenas na decodificação de endereços e não estão ligados às memórias RAMs e EPROMs. O sinal A15 passa pelo buffer pois está disponível em um conector de uso externo (BERG de 34 pinos).

Existe um auto-teste da CPU (free-run) através da configuração de um único jumper ligado ao pino de enable do buffer do bus de dados. Se este jumper estiver ligado, o buffer isolará o bus de dados ao resto do sistema. Dessa forma, quando for ligado o terminal e o reset aplicado (no power-on), o contador de programa da CPU conterá o valor $\phi\phi\phi\phi(H)$. O valor lido pelo bus de dados será sempre 7F(H) correspondente à instrução MOV A,A, pois o sinal RD é diretamente aplicado à entrada AD7, após um atraso suficiente para que quando o RD da CPU subir de "0" para "1" ainda tenha "0" na entrada AD7.

Portanto, o contador de programa ficará sempre varrendo todos os valores de $\phi\phi\phi\phi(H)$ a FFFF(H) e através de um analisador de assinaturas poderemos verificar o funcionamento da CPU.

2. MAPEAMENTO

Como memória EPROM são usadas 2764 e, como memória RAM são usadas HM6116 ou NMC2116. Existem alguns tipos de mapeamento possíveis, configurados através de jumpers. No lugar reservado a cada 2764 pode alternativamente ser usada uma 2732. Na posição da 3a. EPROM 2764 pode, além de uma 2732, alternativamente, também, ser usada uma RAM HM6116 (ou NMC2116) ou ainda uma 2716.

2.1. Com o jumper ligado ao sinal A11, usando-se 2764, temos o mapeamento:

$\phi\phi\phi\phi(H)$ - 5FFF(H) (24K)	EPROM
6 $\phi\phi\phi(H)$ - 7FFF(H) (8K)	RAM do display fluorescente
8 $\phi\phi\phi(H)$ - 8FFF(H) (16K)	RAM
$\phi\phi(H)$ - 1F(H)	(I/O) 8255A do teclado, cartão magnético e display de led
2 $\phi(H)$ - 3F(H)	(I/O) 8255A da impressora
4 $\phi(H)$ - 5F(H)	(I/O) disponível para expansão
6 $\phi(H)$ - 7F(H)	(I/O) 8251A de comunicação

Observação: Se no lugar da 2764 for usada uma 2732, teremos uma conseqüente redução do espaço de EPROM, para 20Kbytes ao invés de 24Kbytes.

OBJETO

TERMINAL CAIXA EM UMA PLACA

2.2. Com o jumper ligado ao sinal \overline{WR} e usando-se RAM HM6116 (ou NMC2116), temos:

$\emptyset\emptyset\emptyset(H)$	- 3FFF(H)	(16K)	EPROM
$6\emptyset\emptyset\emptyset(H)$	- 7FFF(H)	(8K)	RAM do display fluorescente
$\emptyset\emptyset(H)$	- 1F(H)		(I/O) 8255A do teclado, leitora de cartões e displays de LEDs
$2\emptyset(H)$	- 3F(H)		(I/O) 8255A da impressora
$4\emptyset(H)$	- 5F(H)		(I/O) disponível para expansão
$6\emptyset(H)$	- 7F(H)		(I/O) 8251A de comunicação
$\emptyset\emptyset\emptyset\emptyset(H)$	- 47FF(H)	(2K)	RAM
$8\emptyset\emptyset\emptyset(H)$	- BFFF(H)	(16K)	RAM

2.3. Com o jumper ligado a +5V pode ser usada uma EPROM 2716 com uma conseqüente redução do espaço de EPROM para 18Kbytes ao invés de 24Kbytes (se fosse usada uma 2764).

3. COMUNICAÇÃO

O clock de 3,072MHz proveniente do CLKOUT da CPU, sofre sucessivas divisões e está disponível como clock de comunicação nas frequências de 19.200Hz, 9.600Hz, 4.800Hz, 2.400Hz, 1.200Hz ou 600Hz multiplicadas por 16 ou não.

A comunicação pode ser via loop de corrente (20mA) ou RS232. Se for usada a comunicação via loop de corrente, os jumpers associados à TxD estarão ligados para o uso do circuito que contém o transistor BC557 e os jumpers associados à RxD estarão ligados para o uso do circuito que contém o transistor BC548.

Para comunicação com RS232 existem algumas variações dadas a seguir.

Para TxD e RxD em RS232 os jumpers estarão voltados para o CI 1488 e 1489, respectivamente.

O sinal DTR pode estar ligado à +12V (nível "0") ou ser dado pela 8251A transformado de nível TTL - RS232 pelo 1488.

O sinal DSR é transformado de nível RS232 - TTL pelo 1489.

O clock de transmissão e recepção pode ser dado pela divisão sucessiva do clock e transformados para nível RS-232 pelo 1488.

Os clocks de recepção e transmissão também podem ser fornecidos

CODIGO DO DOCUMENTO	REVISÃO
02017-07-022	01
DATA	PL
13.4.83	4

OBJETO

TERMINAL CAIXA EM UMA PLACA

externamente e transformados para nível TTL pelo 1489. Se o clock de transmissão for fornecido externamente, o sinal CTS ficará em nível lógico "0" na 8251A. Entretanto, se o clock for fornecido internamente, pela divisão sucessiva do clock, o sinal CTS poderá ser proveniente do modem. O sinal RTS é transformado para nível RS232 pelo 1488.

4. TECLADO

A varredura das colunas do teclado é feita pelas linhas PC3-PC \emptyset da 8255A enquanto que a linha PC4 corresponde ao enable do CI 74LS159. O teclado está organizado em uma matriz 4x14, sendo que as três últimas colunas são utilizadas para efetuar a varredura de um teclado externo ligado via cabo ao terminal, denominado teclado PIN.

As linhas PC3-PC \emptyset são incrementadas e decodificadas, de tal forma que uma coluna por vez esteja em nível lógico "0", já que elas estão normalmente em "1". Assim, a linha que apresentar nível lógico "0" para a coluna que estiver selecionada, representa uma tecla apertada na intersecção dessa linha com essa coluna, identificando-a.

O debounce das teclas é feito pelo software.

5. LEITURA DE CARTÕES MAGNÉTICOS

Os dados provenientes do cartão magnético são armazenados em uma memória RAM 2102A, que apresenta a configuração 1Kx1, de forma serial. Posteriormente, esses dados são lidos pela CPU, também serialmente, pela entrada SID, destruindo os dados pré-gravados na RAM.

Quando não há cartão para ser lido, ou na passagem de um cartão pela leitora ou após a leitura de um cartão pela CPU, a saída SOD é mantida em nível lógico "0".

Quando o usuário passa o cartão magnético pela leitora, os dados contidos nesse cartão são armazenados na RAM 2102A, um bit em cada endereço, sequencialmente. Os endereços são fornecidos pelos contadores (CI's 74LS393) cujo clock é fornecido por um monoestável (CI 74121). A leitora fornece três sinais: CP (cartão presente), STROBE e DATA. Na transição negativa do sinal STROBE o dado é gravado na RAM 2102A.

OBJETO

TERMINAL CAIXA EM UMA PLACA

Quando o STROBE volta ao nível lógico "1", o monoestável é disparado e após 700ns o contador de endereços é incrementado. A gravação na RAM é composta por uma sequência de pulsos do sinal STROBE. Terminada a informação, o sinal CP volta ao nível lógico "1", avisando a CPU que um cartão está disponível na RAM 2102A, podendo ser lido pela mesma. Ao iniciar a leitura pela CPU, esta avisa o circuito de tal fato, através da linha PC5 da 8255A, dando um clear no flip-flop 74LS74 e, também, resetando o contador de endereços, através da linha PC6 da MESMA "11A. Feito isso, a leitura do endereço inicial é feita pelo pino SID. Continuando, o sinal SOD passa ao nível lógico "1" e no endereço inicial é gravado "1" na RAM 2102A. O SOD volta então à "0", incrementando o contador de endereços.

O trem de pulsos do SOD continua até toda a leitura dos dados do cartão que estavam na RAM 2102A para a memória alocada pela CPU, destruindo a informação contida na 2102A, escrevendo "1" em cada endereço que continha um dado dessa informação.

6. DISPLAY FLUORESCENTE

Para o sistema, os dados a serem escritos no display fluorescente, serão armazenados em uma determinada área de memória, pois o display está mapeado em memória. Assim, para ser feita uma escrita, basta armazenar os dados na memória RAM 2114A-5 do circuito do display. Existe somente uma memória 2114A-5 no circuito para otimização do hardware, sendo usados portanto os 4 bits menos significativos da palavra de dados (Dz-D \emptyset).

O refresh do display é feito automaticamente por este circuito. O display usado é o DC4 \emptyset 5-A2 que é constituído por 40 caracteres de matriz de pontos 5x7. Portanto, para a construção decodificada de um caracter são necessárias 35 linhas, que são constituídas por 4 CI's UCN481 \emptyset A que são constituídos de um shift register de 10 bits, de entrada serial e saída paralela, latches e transformação MOS-BIPOLAR, para cada um dos UCN481 \emptyset A. São usadas, então, 9 linhas de três UCN481 \emptyset A e 8 linhas do quarto UCN481 \emptyset A, constituindo, assim, as 35 linhas correspondentes aos 35 pontos de cada caracter. Como é usada apenas uma RAM 2114A-5, são necessários 9 endereços de 4 bits para perfazer os 35 pontos de um caracter. Esses endereços estão em sequência na RAM, sendo varridos por um contador 74LS393. Há portanto a necessidade de usar-se 9x40 = 360 endereços para perfazer a escrita total no display. A escrita de cada caracter é feita de maneira decodificada na RAM 2114A-5 do circuito do display, pela CPU, através da consulta de uma tabela de geração de caracteres contida em uma

Documentação de Produto

OBJETO

TERMINAL CAIXA EM UMA PLACA

determinada posição, predeterminada, de memória do sistema.

Os endereços da 2114A-5 são multiplexados entre o bus de endereços da CPU e o contador 74LS393 do circuito de varredura, para uma escrita de dados ou para varredura dos dados escritos, respectivamente. A varredura dos dígitos é feita por outros quatro UCN4810A que são interligados em cascata, formando um shift-register de 40 posições, controlador por um outro 74LS393 que conta de 0-40 e é auto resetado quando a contagem atingir 40, reiniciando a varredura. Este contador está em sincronismo com o contador de endereços da RAM 2114A-5, sendo que, para cada 9 endereços da RAM, com a consequente formação de um caracter, o contador de varredura do shift-register de 40 posições exibe no display apenas 1 de suas posições.

Entre a exibição de dois dígitos consecutivos, há necessidade de um apagamento do display, pois é característica intrínseca do mesmo. Nesse tempo em que o display está apagado, existe a contagem de nove endereços do 2114A-5 que são armazenados nos 4 UCN4810A que fornecem as 35 linhas dos pontos do próximo caracter que será exibido. Enquanto o caracter for exibido, o contador de endereços da RAM 2114A-5 estará parado.

Quando o terminal é ligado, o display ficará apagado devido ao sinal RESET OUT fornecido pela CPU. Após a primeira escrita, o refresh será iniciado.

Para ser escrito um novo dado no display, basta apenas ser dado os endereços em que se encontram a decodificação do dado. Com isso, pode ser mudada uma ou mais posições de caracteres no display.

Enquanto se estiver escrevendo na RAM 2114A-5, a varredura continuará sendo executada, sem a consequente exibição no display.

7. IMPRESSORA

Os caracteres a serem impressos são enviados pela CPU à impressora, via 8255A, coluna por coluna. Os sinais enviados pela impressora à CPU, também são via 8255A.

Um nível lógico "0" em PC0 faz com que o motor da impressora seja ligado, o qual gera um trem de pulsos de período aproximado de 500 s, que funciona como um clock do CI 74LS74, proveniente do pino 29 do conector da impressora.

Esse clock faz com que a linha RST6.5 fique com nível lógico "1", pedindo interrupção à CPU e esta ao atendê-la, gera um clear no flip-flop através de PC1 da 8255A. Este processo necessita do

Itautec

Documentação de Produto

OBJETO

TERMINAL CAIXA EM UMA PLACA

CODIGO DO DOCUMENTO	REVISÃO
02017-07-022	01
DATA	FL
13/1/83	7/7

flip-flop para ser evitado o atendimento da mesma interrupção mais de uma vez. Ao mesmo tempo em que o sinal RST6.5 vai ao nível "1", o monoestável 74123 é disparado gerando na saída 2Q um pulso com duração de aproximadamente 10 s que em sua subida reseta os CI's 74LS92 que são divisores por 12 (cada um) cuja frequência de entrada é 153.600Hz e saída é de 1.067Hz (~ 0,94ms de período). O sinal 2Q gera em sua subida (descida de 2Q) um clock para o CI 74LS273 que fornece às 7 agulhas a coluna a ser escrita.

O reset do CI 74LS273 que desativa as agulhas, pode ocorrer quando existir qualquer dos dois sinais: RESET sinal (L) ou (R) da impressora, ou então pelo sinal proveniente dos divisores (0,94ms de período - 1.067Hz) ou ainda após aproximadamente 1,2ms sem que o monoestável seja disparado. Isto garante que se ocorrer rompimento do sinal de clock da impressora as agulhas sejam desativadas.

8. FONTE CHAVEADA

A fonte a ser usada no terminal de uma placa será a mesma até hoje usada no terminal com placas modulares.

TOTAL DO PARCELO DESDE 10.000,00