

OBJETO

PCI CONTROL; WINCHESTER - PC 86

Itautec

Durante a escrita ou leitura de setores, os campos de ID são verificados com bytes de CRC. O campo de dados em um disco rígido usa a correção de até 11 bits errados por transferência. Este número de bits é programado pelo usuário e o valor mais adequado para a maioria das aplicações é o da correção de 5 bits.

.. Circuito de Reset

Para um reset, a placa de controle de Winchester executa uma sequência de "power-up" sequencial para setar os parâmetros internos e inicializar os circuitos internos devidamente. O projeto da placa de controle de Winchester requer no mínimo uma largura de pulso de reset de 15 μ s. O circuito de reset provê um pulso de 1,35 ms. Para uma partida a frio (cold start), o menor pulso requerido para o reset é de 10 ms e o circuito gera um pulso de 128 ms.

Para detectar qualquer falha no diagnóstico de "power-up", o Host deverá mandar um comando de execução de diagnóstico da Controladora. Depois de um reset de software ou de hardware, a placa controladora de Winchester executa automaticamente o comando de execução de diagnóstico da controladora.

. WD1015 - Processador de Controle e Gerenciamento do Buffer de Setor

O WD1015 ou 8749 é um microprocessador que é usado na placa de controle de Winchester para executar os comandos vindos do Host. O firmware contido no WD1015 transforma o formato de comandos vindos do Host no formato de comandos do WD1010. O WD1015 controla qualquer tentativa programável e correção de dados que porventura possam acontecer, sem a interferência direta do Host.

O WD1015 controla a transferência de informação para a placa de controle do Winchester e mantém todas as cópias necessárias dos registros de tarefas (task files) do WD1010. O WD1010 acessa o CCB no buffer de setor. Antes do WD1015 mandar um comando para o WD1010, o número do drive e o número da cabeça são selecionados em um port "latch" para a interface com o disco (DS0, DS1 e DS2 e DS3). As cabeças são posicionadas, se necessário, pelo sinal STEP na trilha desejada. O CCB é transladado e mandado para o WD1010 depois de observado o protocolo requerido para a comunicação entre o WD1015 e o WD1010. No fim da execução do comando, o WD1010 seta o sinal WINT e o WD1015 sabe do término do comando através do polling desse sinal.

O WD1015 controla transferências múltiplas de setores sem que o Host fique mandando repetidamente este comando. O WD1015 quebra todas as transferências múltiplas de setores em uma série de transferências simples para o WD1010. O WD1015 controla as mudanças de cabeça e os pulsos de STEP de acordo com os comandos requeridos para o WD1010 até o contador de blocos do CCB estar terminado, ou seja, até a execução completa dos comandos enviados pelo Host. Poderá haver muitas interrupções do WD1010 (WINT) para um mesmo comando, entretanto somente uma interrupção será gerada para o Host pelo WD1010 ao final da transferência.

Nenhum comando pode ser executado pelo WD1010 com os sinais: DRDY = 1, SC = 1 e WF = 0. Nestes casos o WD1015 aborta o comando.

Antes de qualquer transferência de dados, o WD1010 lê o campo de ID do bloco lógico especificado pelo comando. Se qualquer erro for detectado neste processo, o WD1010 lerá novamente o campo de ID até se passarem dois pulsos de INDEX. Se o campo de ID não puder ser lido, o WD1015 mandará novamente, até se completarem dez revoluções do disco, para tentar recuperar o erro. Se isto não obtiver sucesso, o WD1015 executará um "autorestore". O "autorestore" recalibra a unidade lógica selecionada e executa um "re-seek" para o endereço do bloco lógico especificado. O WD1010 tentará de novo ler o ID do bloco lógico durante dez revoluções do disco. Se o erro for irre recuperável, a operação é terminada. O erro reportado é o último erro encontrado, assumindo-se ter sido ele o responsável pelas tentativas repetidas.

Uma operação similar é executada quando há falta dos "DATA ADDRESS MARK" durante uma operação de leitura. Se o campo de ID pode ser lido corretamente, as transferências de dados entre o Host e o WD1010 podem ser executadas. Para uma operação de escrita, a localização do campo de ID desejado é aquela que é requerida para escrever dados no disco a partir do buffer de setor. Transferências múltiplas de setores são quebradas em transferências simples. Para uma operação de leitura, o campo de dados é corrigido, se possível, antes de ser transferido para o Host.

O WD1015 controla a operação do circuito de ECC do WD11000. Durante a transferência de dados do buffer de setor para o disco, o WD11000 calcula os 4 bytes de ECC que são incluídos no fim da transferência de dados e gravados no disco. Durante as transferências de dados do WD1010 para o buffer de setor, o WD11000 usa o circuito de ECC para validar os dados. Se o dado foi alterado, o WD1015 executa novas tentativas de leitura e a correção do erro. No máximo oito novas tentativas de leitura podem ser executadas até se encontrar pelo menos duas leituras consecutivas iguais. A correção do erro é feita somente se forem encontradas duas leituras consecutivas iguais. Se o erro for incorrigível, a operação é terminada.

. Buffer de Setor

O buffer de setor consiste em uma memória RAM de 2Kx8 que é usada para reter os dados do CCB. Somente os 1 Kbytes mais baixos da RAM são usados atualmente, por isso os termos "mais altos" e "mais baixos" usados aqui se referem somente à parte baixa de 1 Kbyte da RAM.

A metade mais baixa da RAM (00H a 1FFF) é usada para armazenar o CCB, os bytes de status e as informações de erro. Os 8 bytes que definem as características do drive e que são mandados pelo Host durante um comando de inicialização dos parâmetros do drive, também são armazenados na página zero da RAM. O buffer de setor também retém a informação a ser gravada no disco ou a informação lida do disco (setor) na metade mais alta da RAM (0200H a 03FFF).

. WD1010 - Controlador de Disco Winchester

O WD1010 é um chip projetado para ser usado com discos do tipo "Seagate Technology ST506" e outros disk drives compatíveis. Todos os comandos de disco são iniciados pelo WD1015 depois de um CCB ser lido e corretamente transladado pelo WD1015. A função primária do WD1010 é controlar as transferências de dados (isto inclui a separação de dados para leitura de dados) entre o disco e o buffer de setor depois de o WD1015 ter posicionado a cabeça previamente selecionada em cima da trilha desejada. O WD1010 pode posicionar as cabeças do disco, mas esta capacidade não foi usada por causa dos vários "STEP RATES" que alguns discos de Winchester possuem e que não são suportados pelo WD1010. Para maiores detalhes sobre o WD1010, consultar o manual da Western Digital sobre o controlador.

. WD10C20B

O WD10C20B interfaceia o disk drive com os outros circuitos da placa de controle de Winchester. O WD10C20B contém 2 circuitos principais, que são os circuitos de pré-compensação de escrita e o circuito de sincronização de dados.

.. Circuito de Geração de Clock

Uma frequência fundamental de 10 MHz é requerida pelo WD10C20B. A frequência de um cristal de 10 MHz é usada como referência e é dividida por dois para a geração do "WHITE CLOCK" (WCLK), que é usado para produzir a modulação MFM dos dados de escrita para o disk drive. Estes geradores de clocks estão presentes no WD10C20B.

O WD1015 usa o clock de 5 MHz (WCLK) gerado pelo WD10C20B, dando um ciclo de instrução de 3 us. A maioria das instruções do WD1015 são executadas em dois ciclos, ou seja, 6 us.

.. Circuito de Pré-compensação de Escrita

A geração dos dados escritos em MFM se dá através do WD1010. O WD1010 aceita um byte de dados e o WCLK para produzir internamente dados em MFM. O dado em MFM é então totalmente compatível com o formato requerido para a transmissão ao disk drive através dos drivers de linha (3487, CI-11), com somente uma exceção: as trilhas mais internas do disco possuem um raio de circunferência menor e requerem uma maior densidade no fluxo de gravação do que as trilhas mais externas. Este incremento na densidade do fluxo agrava um problema conhecido como deslocamento dinâmico de bit (dynamic bit shift).

O deslocamento dinâmico de bit se dá como resultado de um bit no disco (um fluxo reverso), influenciando um outro bit adjacente. O resultado é o deslocamento de suas bordas de amostragem diferentemente do que foi originalmente gravado.

A pré-compensação de escrita é usada para reduzir o efeito do deslocamento dinâmico de bit no dado gravado. Ela é um método de prever em qual direção um bit particular será deslocado e, com isto, intencionalmente escrever o bit deslocado na direção contrária à esperada. Isto é feito examinando-se dois bits de dados: o último que foi escrito no disco e o próximo que será escrito no disco. Uma comparação destes bits produz um destes três sinais: EARLY, Nominal ou LATE. Estes sinais são usados com uma delay line interna ao WD10C20B para causar o deslocamento do bit de dado cu clock que será escrito EARLY (cedo), LATE (tarde) ou no tempo (Nominal).

O WD1015 habilita ou desabilita a geração destes sinais de pré-compensação de escrita pelo controle do sinal WPC.

Uma lógica interna ao WD10C20B executa a pré-compensação de escrita. Os pulsos de escrita em MFM são aplicados à lógica interna. A saída WMFM depende porém do estado dos três sinais de pré-compensação. Desta parte, o dado é convertido em uma forma diferencial (-MFMWD e +MFMWD) e só então é transmitido para o disk drive.

.. Separador de Dados

O dado é gravado no disco usando as técnicas de MFM. Esta técnica requer que somente sejam gravados bits de clock quando dois bits de dados sucessivos são iguais a 0 no fluxo de dados seriais. Um bit de dados igual a 1 é gravado como um pulso e um bit de dados igual a 0 é gravado como a ausência de pulso. O fato de os bits de clock não serem gravados a cada célula de bit requer um circuito que possa se sincronizar com os dados durante a ausência dos bits de clock. A decodificação síncrona do fluxo de dados gravados em MFM requer que o circuito decodificador sintetize o clock bit quando os clocks não estão presentes e se sincronize com os clock bits quando eles estão presentes. Isto é feito utilizando-se um oscilador do tipo Phase Locked Loop, que consiste em um amplificador de erros e um filtro para sincronizar-se com a fase dos bits de clock. O sincronismo de fase ocorre na frequência do cristal, que é usada para sintetizar um sinal de clock chamado HCLK com a frequência igual à metade da frequência do cristal. Este clock sintetizado é usado para separar os bits de dados dos bits de clock por uma lógica externa para sua posterior de-serialização em bytes. Para maiores informações sobre o WD10020B, consultar o manual da Western Digital.

Reprodução Proibida