

Código do Documento | Revisão
17551-01-006 |

DOCUMENTAÇÃO DE PRODUTO

Data 28.05.87 | FI 15/40

Objeto
PCI CONTR. FLOPPY E WINCHESTER PCIT

ENDEREÇO			LEITURA	ESCRITA
A2	A1	A0		
0	0	0	TRI-STATE	
0	0	1	ERRO	CILINDRO PRECOMP. DE ESCRITA
0	1	0	CONTADOR DE SETORES	
0	1	1	NÚMERO DO SETOR	
1	0	0	CILINDRO BAIXO	
1	0	1	CILINDRO ALTO	
1	1	0	SDH (SETOR, DRIVE, CABEÇA)	
1	1	1	STATUS	COMANDO

ERRO:

BIT 7 - Detecção de bloco ruim
BIT 6 - CRC para campo de dados
BIT 5 - Reservado
BIT 4 - ID não encontrado
BIT 3 - Reservado
BIT 2 - Comando abortado
BIT 1 - Erro na trilha 0
BIT 0 - DAM não encontrado

CILINDRO PARA PRECOMPENSAÇÃO DE ESCRITA:

Este registrador é usado para saber o número do cilindro a ser realizado WPC. O valor gravado é multiplicado por 4.

Código do Documento | Revisão
17551-01-006 |

DOCUMENTAÇÃO DE PRODUTO

Data 28.05.87 | FI 16/40

Objeto
PCI CONTR. FLOPPY E WINCHESTER PCIT

CONTADOR DE SETORES:

Este registrador contém o número de setores que serão necessários serem transferidos para o buffer.

NÚMERO DO SETOR:

Este registrador contém o número do setor designado.

CILINDRO

Este registrador contém o número do cilindro designado.

SDH:

BIT	7	:	CRC ou ECC
BITS	5 e 6	:	Tamanho do Setor
	6	5	TAMANHO
	0	0	256
	0	1	512
	1	0	1024
	1	1	128

BITS	3 e 4	:	Drive Selecionado
	4	3	DRIVE
	0	0	1
	0	1	2
	1	0	3
	1	1	4

BITS	0, 1, 2	:	Cabeça Selecionada
	2	1	0
	0	0	0
	0	0	1
	0	1	0
	0	1	1
	1	0	0
	1	0	1
	1	1	0
	1	1	1

Código do Documento | Revisão
17551-01-006 | 1

DOCUMENTAÇÃO DE PRODUTO

Data 28.05.87 | IF1 17/40

Objeto
PCI CONTR. FLOPPY E WINCHESTER PCIT

STATUS:

BIT 7 - Ocupado
BIT 6 - Pronto
BIT 5 - Falha de Escrita
BIT 4 - Seek Completo
BIT 3 - Dado Requisitado
BIT 2 - Dado foi Corrigido
BIT 1 - Comando em Processo
BIT 0 - Erro

* BIT 2 indica que um erro de ECC foi detectado e que o WD2010 conseguiu corrigir o buffer.

COMANDOS:

	7	6	5	4	3	2	1	0
RESTORE	0	0	0	1	R3	R2	R1	R0
SEEK	0	1	1	1	R3	R2	R1	R0
READ	0	0	1	0	I	M	L	T
WRITE	0	0	1	1	0	M	L	T
SCAN ID	0	1	0	0	0	0	0	T
FORMAT	0	1	0	1	0	0	0	0
SET PARAMETER	0	0	0	0	0	0	0	S

Onde:

R3, R2, R1, R0 - STEP RATE TIME
T - HABILITA RETRIES QUANDO ZERO
M - FLAG DE MÚLTIPLOS SETORES
M = 0 - um setor
M = 1 - múltiplos setores
L - LONG MODE
L = 0 - ECC habilitado
L = 1 - ECC desabilitado
S - TAMANHO DO BURST DE CORREÇÃO DE ERRO
S = 0 - 5 bits
S = 1 - 11 bits
I - HABILITA INTERRUPTO
I=0 INTRQ ocorre com DRQ-buffer cheio
I=1 INTRQ ocorre quando o Host ler o buffer

DOCUMENTAÇÃO DE PRODUTO

Código do Documento	Revisão	
17551-01-006		
----- -----		
Data	28.05.87	IF1 18/40

Objeto
PCI CONTR. FLOPPY E WINCHESTER PCIT

2. WD10C20 - SEPARADOR DE DADOS

2.1 Características

- Não necessita ajuste externo.
- Interfaceia WD1010/2010-05 com ST 506.
- Utiliza cristal 10 MHZ.
- Leitura e escrita em 5 MHZ.
- Alimentação de +5V e +12V.
- Encapsulado em 28 pinos.
- Contém: VCO para ajuste próprio.
 - Osciladores e geradores de clock.
 - Circuito de extensão de pulso de leitura.
 - Geração lógica de DRUN.
 - Detetor de fase.
 - Lógica de fase zero
 - Circuito de precompensação de escrita

2.2 Descrição

O WD10C20 é um conjunto integrado CMOS, utilizado em controladores de disco rígido interfaceando drives para leitura e escrita a 5MHZ.

O WD10C20 é dividido em 3 partes básicas:

- Circuito Oscilador
- Circuito de Précompensação de Escrita
- Separador de Dados

CIRCUITO OSCILADOR

Um cristal externo de 10MHZ conectado entre XTALIN e XTALOUT gera a referência para a gravação de dados. Gera o sinal 5MHZ de WCLK para sincronização com o WDATA durante operações de escrita.

O oscilador também gera o "timing" de leitura.

DOCUMENTAÇÃO DE PRODUTO

Objeto
PCI CONTR. FLOPPY E WINCHESTER PCIT

Código do Documento	Revisão
17551-01-006	1
Data	28.05.87
	1F1 19/40

CIRCUITO DE PRECOMPENSAÇÃO DE ESCRITA

Primeiramente os dados de escrita gerados pelo controlador WD1010/2010-05 são ressincronizados com o sinal de 10MHZ.

Uma fonte de distorção quando os sinais são lidos é causado pela escrita dos dados. A polaridade dos sinais "zeros" e "uns" podem atrair ou repetir uns aos outros devido sua posição relativa, para reduzir este "off-set" o controlador gera os sinais EARLY e LATE de acordo com a linha de bits, compensando a influência entre eles:

A precompensação é habilitada pelo sinal WPCEN.

SEPARADOR DE DADOS

O sinal de leitura de dados é recebido com ruído, assimetria, devido ao possível desalinhamento da cabeça e erros de frequência e as variações de velocidade. O WD10C20 remove as variações e provê ao controlador um dado limpo e estável sincronizado com RCLK.

O WD10C20 também provê a detecção do campo de sincronismo; o circuito de detecção do campo de sincronismo inclui um diferenciador para eliminar variações da largura do pulso de leitura (RETRIGGERABLE ONE-SHOT, DRUN) setado para $1 \frac{3}{8}$ da largura de um bit.

O VCO e o PLL geram o RCLK. Na ausência do campo de sincronismo o VCO tranca a referência do cristal e um circuito de ajuste automático sintoniza o PLL no centro do range de operação, assim adquire maior estabilidade. Se DRUN é habilitado para 2 bytes a entrada VCO é chaveada para a entrada de dados e a saída é mantida em nível baixo pelo tempo de 3 bits.

Objeto

PCI CONTR. FLOPPY E WINCHESTER PCIT

COMANDOS LONG

Antes da análise do circuito é necessário esclarecer as diferenças entre os comandos: READ e READ LONG, WRITE e WRITE LONG.

O tamanho do setor em um disco fixo é de 512 bytes. Para gravar um setor (WRITE) o Host passa ao buffer da placa estes 512 bytes. Ao escrever o WD2010 gera, no disco fixo, 4 bytes de ECC (ERROR CORRECTION CODE) através do polinômio:

$$X^{32} + X^{28} + X^{26} + X^{19} + X^{17} + X^{10} + X^6 + X^2 + 1$$

Estes 4 bytes de ECC são gravados no setor do disco fixo juntos com os 512 bytes de dados. O procedimento explicado acima é o comando WRITE e sua rotina é chamada com AH=03 via INT 13H.

Ao executar um READ (AH=02) o WD2010 transfere os 512 bytes de dados do setor mais os 4 bytes de ECC gravados no disco. Durante a leitura dos dados o WD2010 gera novamente os 4 bytes de ECC e faz uma comparação com os 4 bytes gravados no disco. Se os 4 bytes forem iguais o setor lido é bom, caso contrário o WD2010 toma o resultado da comparação, entre os 4 bytes gravados previamente no disco e os 4 bytes gerados, e começa uma tentativa da correção de erro, ou seja, o WD2010 pode através deste algoritmo de ECC determinar até 11 bits adjacentes errados (que foram lidos errados do disco fixo) e corrigi-los diretamente no buffer (2 RAM's).

Existe um comando que seleciona o valor máximo do número de bits errados, 5 ou 11 bits. Na nossa placa, este valor é limitado em 5 bits por segurança. É necessário esclarecer ainda que estes bits devem estar em sequência dentro do setor, ou seja, o algoritmo de ECC não consegue corrigir, por exemplo, um bit errado no início do buffer e outro no fim.

Este tipo de erro ocorre devido a uma falha na mídia ou por algum problema espúrio na cabeça de leitura do disco fixo.

Caso não seja possível ao algoritmo de ECC corrigir o dado, o WD2010 indicará um erro setando o bit 6 do ERROR REGISTER. Se o erro for corrigido é setado o bit 2 do STATUS REGISTER, somente para indicar que houve um erro e este foi corrigido.

Código do Documento | Revisão

17551-01-006 |

DOCUMENTAÇÃO DE PRODUTO

Data 28.05.87

F1 21/40

Objeto

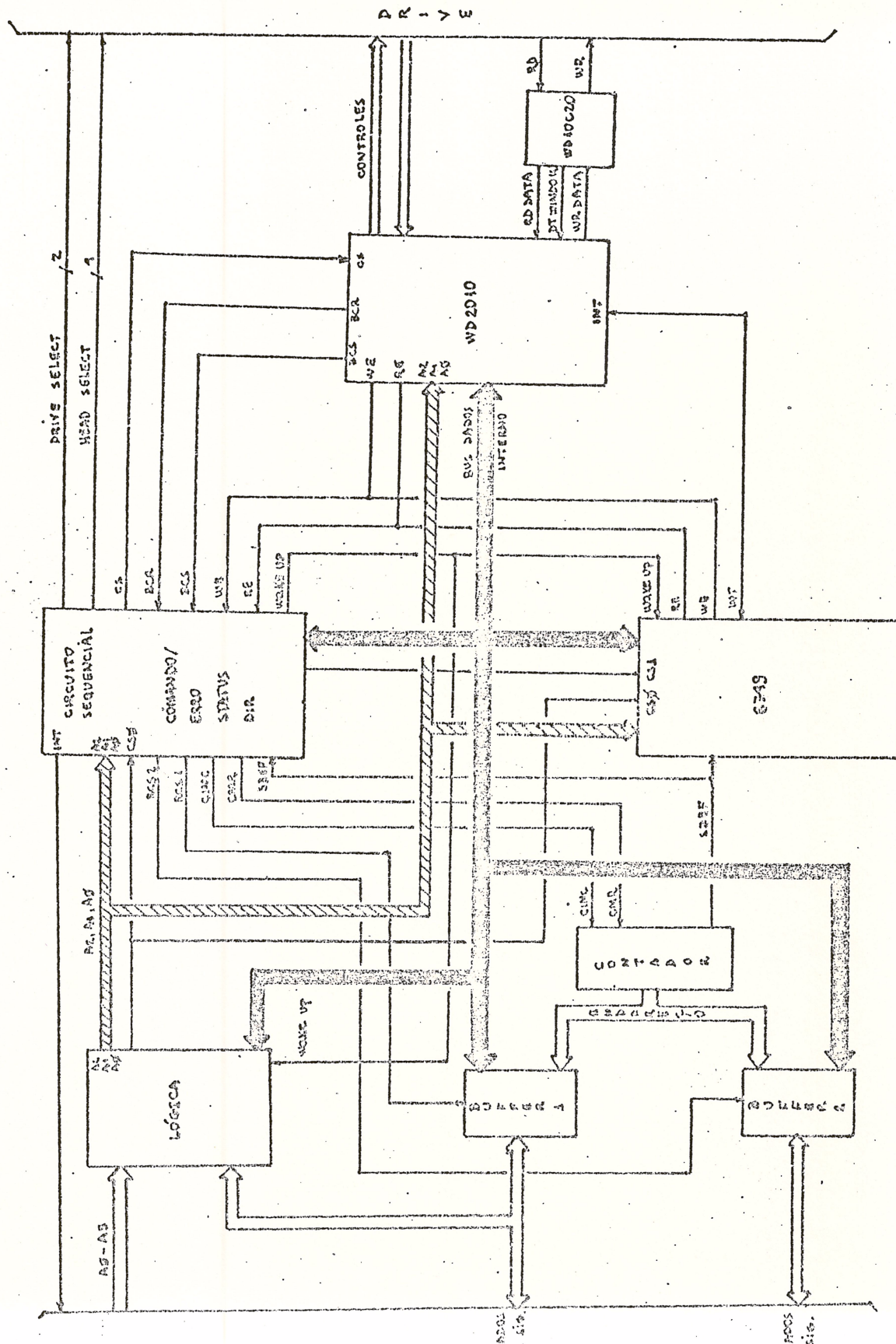
PCI CONTR. FLOPPY E WINCHESTER PCIT

O READ LONG (AH=0A) desabilita no WD2010 o circuito de geração de ECC, portanto o WD2010 transferirá os 512 bytes de dados mais os 4 bytes de ECC gravados no disco (516 bytes), sem que haja qualquer comparação para saber se os 512 bytes são ou não bons.

Já no WRITE LONG também são transferidos 516 bytes só que agora o Host é que fornece à placa os 512 bytes de dados mais os 4 bytes de ECC. Este 4 bytes de ECC podem ser de qualquer valor, neste caso o Host força um ECC e o circuito de geração de ECC do WD2010 é outra vez desligado.

Então os comandos READ LONG e WRITE LONG são usados para se ler um setor que não se consegue mais ler pelo READ COMUM, devido a um erro de ECC, ou então para se forçar um erro de ECC a fim de testar o WD2010.

Objeto
PCI CONTR. FLOPPY E WINCHESTER PCIT



DOCUMENTAÇÃO DE PRODUTO

Objeto
PCI CONTR. FLOPPY E WINCHESTER PCIT

Código do Documento	Revisão
17551-01-006	1
Data	28.05.87
	IF1 23/40

CIRCUITO

Para o esclarecimento geral do circuito vamos fazer a análise de 2 comandos.

De acordo com a tabela de endereços apresentada abaixo, nota-se que os endereços de 1F1H à 1F6H são exatamente os registradores do WD2010. Assim quando o Host quer ler um determinado setor ele sempre envia 7 parâmetros para a placa, sendo 6 destes parâmetros para o WD2010 e um do tipo de comando.

Portanto no WD2010 o Host consegue escrever nos seguintes registradores:

- 1F1 - precompensação de escrita
- 1F2 - contagem de sectores
- 1F3 - número do setor
- 1F4 - número do cilindro menos significativo
- 1F5 - número do cilindro mais significativo
- 1F6 - SDH

O Host, entretanto, não consegue escrever diretamente no registrador de comando do WD2010. Quando o Host faz uma escrita nos endereços 1F1 à 1F7, a linha CS0 pulsa e faz com que o circuito sequencial "olhe" para as linhas A2, A1 e A0. Se estas forem "111" o circuito sequencial não fornece CS (CHIP SELECT) para o WD2010, caso contrário o dado presente no bus de dados interno é escrito no registrador do WD2010 endereçado pelas linhas A2, A1 e A0.

Quando o Host envia um comando (1F7), o circuito sequencial armazena este comando num LATCH (comando/erro). Este circuito sequencial é capaz de reconhecer se o comando é WRITE/FORMAT ou um outro comando qualquer e a partir deste ponto ter 2 caminhos distintos: READ e WRITE.

Vamos inicialmente analisar o comando READ e depois o comando WRITE.

Objeto
PCI CONTR. FLOPPY E WINCHESTER PCIT

a) READ

Se o comando enviado pelo Host é um READ (20H) o circuito sequencial levanta o sinal WAKE-UP, que desabilita toda a "lógica" de comunicação com o Host e ainda faz com que o 8749 assuma o bus de dados interno. Neste ponto o Host não tem mais acesso ao WD2010, podendo somente acessar o registrador de STATUS (1F7 leitura).

O 8749 possui acesso aos 7 registradores do WD2010 incluindo o de comando, bastando para isso colocar o endereço nas linhas A2, A1 e A0 e abaixar o CS0, assim o circuito sequencial fornecerá o CS2010. O 8749 pode também acessar todos os registradores do circuito sequencial baixando o CS1 e colocando os endereços em A2, A1 e A0.

É interessante notar que o Host só acessa o LATCH (comando/erro) do circuito sequencial, todos os outros somente o 8749 tem acesso.

CS1	A2	A1	A0	RE	WE
0	0	1	0	SLEEP	-
0	0	1	1	CMR (RESET CONTADOR)	-
0	1	0	0	SET INTERRUPTÇÃO	SET DRQ
0	1	1	0	CLEAR MULT MODE	SET MULT MODE
0	1	1	1	COMANDO	ERRO

O 8749, portanto, lê o comando do circuito sequencial (CS1=0 A2=A1=A0=1) e o analisa. No caso, como é um comando de leitura, o 8749 lê os registradores de cilindro, número do sector e contagem de sectores do WD2010 e armazena-os internamente a sua RAM escrevendo o comando no WD2010 (CS0=0 A2=A1=A0=1). A partir daí, o 8749 fica monitorando um port em que está ligado o sinal INT do WD2010. O WD2010 levanta este sinal de INT no final da execução do comando. O WD10C20 é usado nesta placa para fazer a decodificação MFM, ou seja, separa dado do CLOCK para o WD2010.

Quando o WD2010 encontrar o setor a ser lido no disco, este abaixa o sinal BCS (BUFFER CHIP SELECT) e quando montar o 1º byte de dado pulsa o sinal WE (sinal do WD2010). Isto faz com que o circuito sequencial forneça RCS1 (RAM CHIP SELECT para o 1º buffer), mas não incrementa o contador. Ao montar o 2º byte e pulsar WE ele será escrito no 2º buffer (RCS2) e agora sim o contador será incrementado através de CINC. Assim cada RAM contém 256 bytes.

DOCUMENTAÇÃO DE PRODUTO

Objeto
PCI CONTR. FLOPPY E WINCHESTER PCIT

Código do Documento | Revisão
17551-01-006 |

Data 28.05.87 | F1 25/40

No final do 512º byte o WD2010 levanta o sinal INT, que faz o 8749 ler o seu registrador de STATUS (CS0=0 A2=A1=A0=1). Se o bit 0 do STATUS for 0, então não houve erro. Caso contrário o 8749 seta o bit 0 do REGISTRADOR DE STATUS da placa, lido pelo Host através do endereço 1F7H, para indicar erro ao Host. Em seguida lê o REGISTRADOR DE ERRO do WD2010 (CS0=0 A2=A1=0 e A0=1) e escreve este conteúdo no LATCH (comando/erro) do circuito sequencial, isto porque o Host não consegue ler o registrador de erro do WD2010. É interessante notar que o mesmo LATCH (comando/erro) é usado tanto para armazenar um comando do Host, como para lhe reportar um erro. E ainda o Host escreve comando neste LATCH (comando/erro) no endereço 1F7H e lê erro através do 1F1H.

Supondo que não haja erro (bit 0 do STATUS = 0) o 8749 verifica o bit 2 (DATA WAS CORRECTED) para ver se houve ou não um erro de ECC corrigido. Se o bit 2 = 1, o 8749 seta o bit 2 do REGISTRADOR DE STATUS da placa e indica ao Host que um erro de ECC foi detectado e corrigido.

A partir deste ponto o 8749 decrementa o REG de número de setores a serem transferidos (REGISTRADOR DO WD2010), cujo valor se encontra internamente na sua RAM e verifica se este registrador é zero ou não. Se não for zero o 8749 reescreve este novo valor de contagem de setores no WD2010 e seta o F/F MULT MODE no circuito sequencial (CS1=0 A2=A1=1, A0=0), pois haverá outra transferência de setor, seta os F/Fs DE INTERRUPTÃO e DRQ do circuito sequencial. Logo a seguir o 8749 envia o comando SLEEP (CS1=0 A2=0 A1=1 A0=0), que faz com que o sinal WAKE-UP volte a zero.

Assim a CPU é interrompida e começa a ler o buffer (256 words), depois de ler o STATUS e verificar o bit DRQ setado.

Neste ponto cabe uma observação: se for um comando READ LONG após a CPU ter lido as 256 words, esta verifica o bit DRQ e se estiver setado a CPU lê mais 4 bytes. Se não a CPU fica esperando nova interrupção, pois como foi explicado acima estamos analisando um comando de múltiplos setores. Assim depois que as 256 words forem lidas através do endereço 1F0H, o sinal SBEF (SECTOR BUFFER EMPTY OR FULL) sobe e como o F/F MULT MODE está setado, faz com que o sinal WAKE-UP suba novamente e "acorde" o 8749, que enviará um comando de leitura do próximo setor ao WD2010 e ficará esperando nova interrupção do WD2010. E a descrição se repete até que o REGISTRADOR DE CONTAGEM DE SETORES seja zero. Nesta situação o 8749 antes de enviar o comando SLEEP, após o último setor ter sido lido pelo WD2010, enviará um comando CLEAR MULT MODE para que a CPU depois de ler as 256 words, faça com que o sinal WAKE-UP não volte mais a subir até que um novo comando seja enviado para a placa através do endereço 1F7H.

DOCUMENTAÇÃO DE PRODUTO

Objeto
PCI CONTR. FLOPPY E WINCHESTER PCIT

Código do Documento	Revisão
17551-01-006	1
Data	28.05.87
	IF1 26/40

b) WRITE

Se o comando enviado pelo Host é um WRITE (30H), o circuito sequencial possui um sinal chamado WRF (WRITE ou FORMAT) que identifica um destes comandos. Isto é necessário porque nestes comandos o sinal WAKE-UP não deve levantar imediatamente após a escrita do comando pelo Host, pois se a placa vai escrever um setor no drive é necessário primeiro que o Host envie os 512 bytes (256 words) para o buffer da placa. Assim sendo, depois que o comando WRITE for escrito pelo Host a placa levanta a linha DRQ do LATCH DE STATUS, mas não levanta o sinal WAKE-UP. O Host começa então a preencher as 256 words no buffer, através do endereço 1F0H e quando isto acontecer o sinal SBEF levanta.

Se o comando for WRITE LONG a placa mantém DRQ setado e então o Host envia mais 4 bytes, caso contrário o DRQ é resetado e o WAKE-UP levanta fazendo com que o 8749 assuma o bus de dados internos e realize a partir deste ponto um procedimento similar ao explicado para o comando READ.

É bom se ressaltar que no caso o WD2010 vai ler o buffer da placa (256 words) e escrever estes dados no drive.