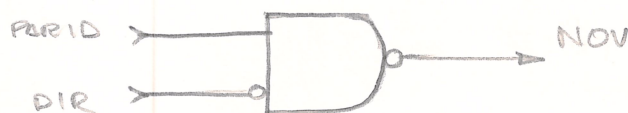


PAC 16 LB - CI 81

NOV

$$\overline{01} = \overline{13} \cdot \overline{04} = \text{PARID} \cdot \overline{\text{DIR}}$$



ou

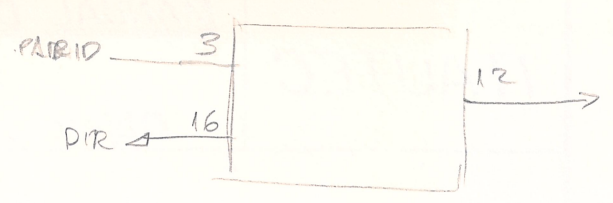


NOV $\neq$ CI 81 PIN. 19 $\neq$

Bit nove para a checagem da paridade. Em qualquer operação de escrita este bit é sempre "1" (pois DIR=1). Na leitura, seu valor corresponde ao bit de paridade (PARID), gravado no nono CI de memória do banco, invertido.

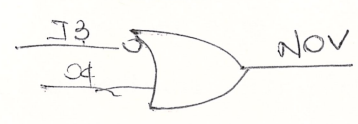
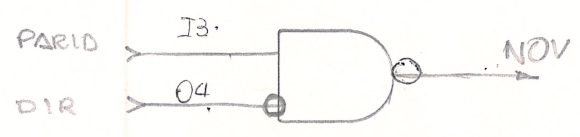
Referer

PAL 16 L8 - CI 81



NOV

$$\overline{01} = I3 \cdot \overline{04} = (PARID) \cdot \overline{(DIR)} = NOV$$



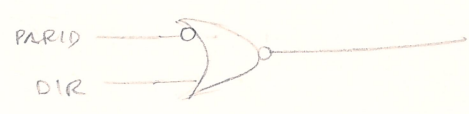
PARID.	DIR	NOV
0	0	0
0	1	0
1	0	1
1	1	0

NOV ≠ CI 81 FW 19 ≠

Bit nove para a checagem da paridade. Em qual-
quer operacao de escrita este bit e sempre 1 (pois DIR=1).

Na leitura, seu valor corresponde ao bit de paridade (PARID)
invertido, gravado no nono CI de memoria do banco.

$\overline{PARID} + DIR = NOV$



0	0	0
0	1	0
1	0	1
1	1	0

PARID.	DIR	NOV
—	1	—

74X280

Nº ENT. EM ALTO (di Aa I)	SAÍDAS	
	ΣEVEN	ΣODD
0, 2, 4, 6, 8	H	L
1, 3, 5, 7, 9	L	H

Se $[\text{NOV} = \text{PARID. } \overline{\text{DIR}}] \Rightarrow \text{qdo. WR} \quad \text{NOV} = 1 \quad \therefore \text{DIR} = 1$

① DADO = 55 H = $\emptyset 1 \emptyset 1 \emptyset 1 \emptyset 1$

Na escrita: Nº de entradas em "1" = 5 $\therefore \Sigma \text{ODD} = "1"$

Na leitura s/ erro: byte: $\emptyset 1 \emptyset 1 \emptyset 1 \emptyset 1$
 PARID: 1 $\Rightarrow \text{NOV} = \emptyset \Rightarrow \Sigma \text{ODD} = \emptyset \Leftrightarrow \text{QL} = \emptyset \xrightarrow{\uparrow \text{DIR}} \Leftrightarrow -10\text{CHK} = 1$

Na leitura c/ erro: byte: $\emptyset 1 1 1 \emptyset 1 \emptyset 1$
 PARID: 1 $\Rightarrow \text{NOV} = \emptyset \Rightarrow \Sigma \text{ODD} = 1 \Leftrightarrow \text{QL} = 1 (\uparrow \text{DIR}) \Leftrightarrow -10\text{CHK} = 1$
 $\therefore \text{PARIDADE}$

② DADO = 57 H = $\emptyset 1 \emptyset 1 \emptyset 1 1 1$

Na escrita: Nº entr. em "1" = 6 $\therefore \Sigma \text{ODD} = \emptyset$

Na leitura s/ erro: byte = $\emptyset 1 \emptyset 1 \emptyset 1 1 1$
 PARID = $\emptyset \Rightarrow \text{NOV} = 1 \Rightarrow \Sigma \text{ODD} = \emptyset \Leftrightarrow \text{QL} = \emptyset (\uparrow \text{DIR}) \Leftrightarrow -10\text{CHK} = 1$

Na leitura c/ erro: byte = $\emptyset 1 \emptyset 1 1 1 1 1$
 PARID = $\emptyset \Rightarrow \text{NOV} = 1 \Rightarrow \Sigma \text{ODD} = 1 \Leftrightarrow \text{QL} = 1 (\uparrow \text{DIR}) \Leftrightarrow -10\text{CHK} = 1$
 $\therefore \text{PARIDADE}$

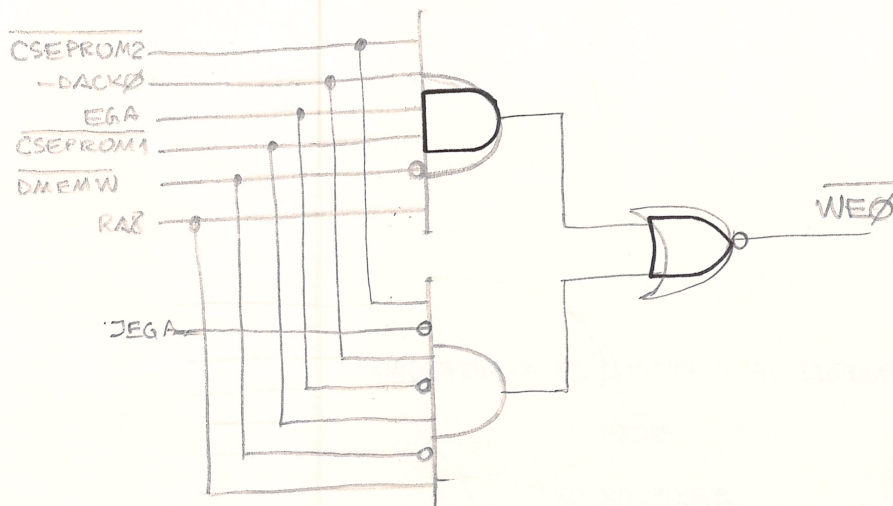
PAL 16L8 - CIB1

WEØ

$$\overline{O2} = I_1 \cdot I_6 \cdot I_7 \cdot I_8 \cdot \overline{I_{10}} \cdot I_{11} + I_1 \cdot \overline{I_5} \cdot I_6 \cdot \overline{I_7} \cdot I_8 \cdot \overline{I_{10}} \cdot I_{11} =$$

$$= (\overline{CSEPR0M2}) \cdot (-DACKØ) \cdot (EGA) \cdot (\overline{CSEPR0M1}) \cdot (\overline{DMEMW}) \cdot RA8 +$$

$$+ (\overline{CSEPR0M2}) \cdot (JEGA) \cdot (-DACKØ) \cdot (EGA) \cdot (\overline{CSEPR0M1}) \cdot (\overline{DMEMW}) \cdot RA8 = \overline{WEØ}$$



-DACKØ	→ REFRESH
JEGA	
Ø	→ $\overline{JEGA}$
1	→ $JEGA$

WEØ ≠ CIB1 PN.18#

Sinal que, quando em baixo, habilita a escrita nos 4 primeiros bancos de memória (bancos 0 a 3). A selecção do banco específico é feita através das linhas de RAS e CAS. O sinal é mantido em alto quando do endereçamento das áreas destinadas às EPROM's e da área de EGA (quando da existência da placa EGA).

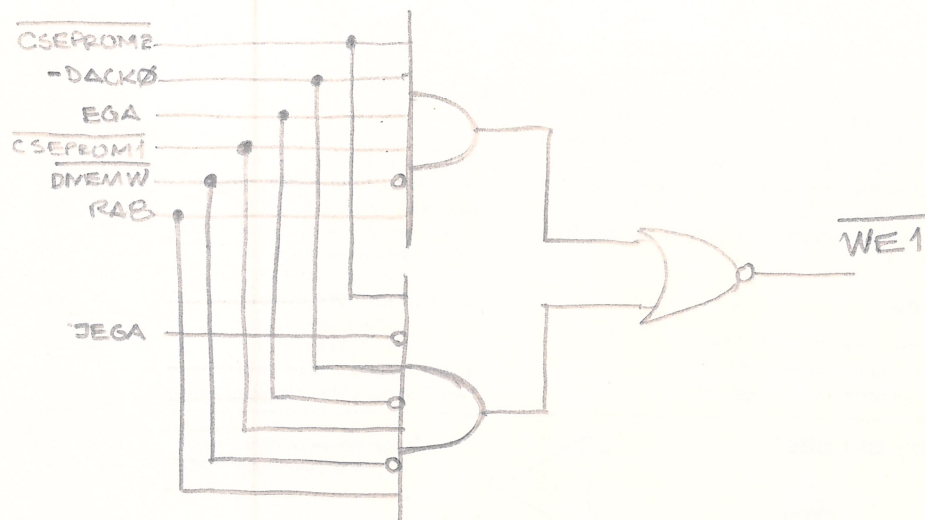
PAL 16L8 - CI 81

WE1

$$\overline{03} = 11 \cdot 16 \cdot 17 \cdot 18 \cdot \overline{110} \cdot 111 + 11 \cdot \overline{15} \cdot 16 \cdot \overline{17} \cdot 18 \cdot \overline{110} \cdot 111 =$$

$$= (\overline{CSEPR0M2}) \cdot (\overline{-DACK0}) \cdot (EGA) \cdot (\overline{CSEPR0M1}) \cdot (\overline{DNEMW}) \cdot RAB +$$

$$+ (\overline{CSEPR0M2}) \cdot (\overline{JEGA}) \cdot (\overline{-DACK0}) \cdot (EGA) \cdot (\overline{CSEPR0M1}) \cdot (\overline{DNEMW}) \cdot RAB = \overline{WE1}$$



WE1 ≠ CI 81 PIN.17 ≠

(id. WE0, cf a seguinte alteração:)

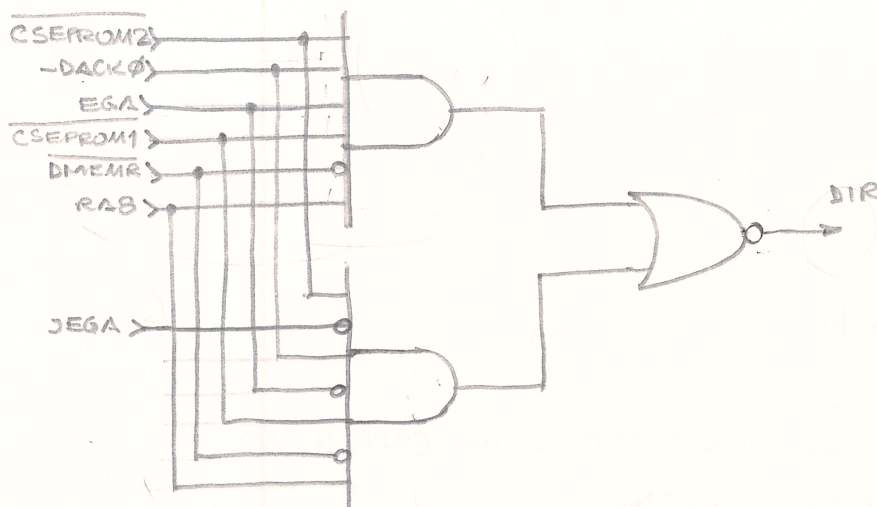
" 4 outros bancos de memória (bancos 4 a 7).

H

PAL 16L8 - CI 81

DIR

$$\begin{aligned} \overline{O4} &= (\overline{I1} \cdot \overline{I6} \cdot \overline{I7} \cdot \overline{I8} \cdot \overline{I9} \cdot \overline{I11} + \overline{I1} \cdot \overline{I5} \cdot \overline{I6} \cdot \overline{I7} \cdot \overline{I8} \cdot \overline{I9} \cdot \overline{I11}) = \\ &= (\overline{CSEPR0M2}) \cdot (\overline{-DACK0}) \cdot (\overline{EGA}) \cdot (\overline{CSEPR0M1}) \cdot (\overline{DMEMR}) \cdot RAB + \\ &+ (\overline{CSEPR0M2}) \cdot (\overline{JEGA}) \cdot (\overline{-DACK0}) \cdot (\overline{EGA}) \cdot (\overline{CSEPR0M1}) \cdot (\overline{DMEMR}) \cdot RAB = \overline{DIR} \end{aligned}$$

DIR $\neq$ CI 81 PIW.16 $\neq$

Sinal que tem por finalidade adequar a direção do buffer (bidirecional) de dados (CI 88) ao tipo de operação (leitura ou escrita) em execução. Este é o buffer de interface com os bancos de memórias.

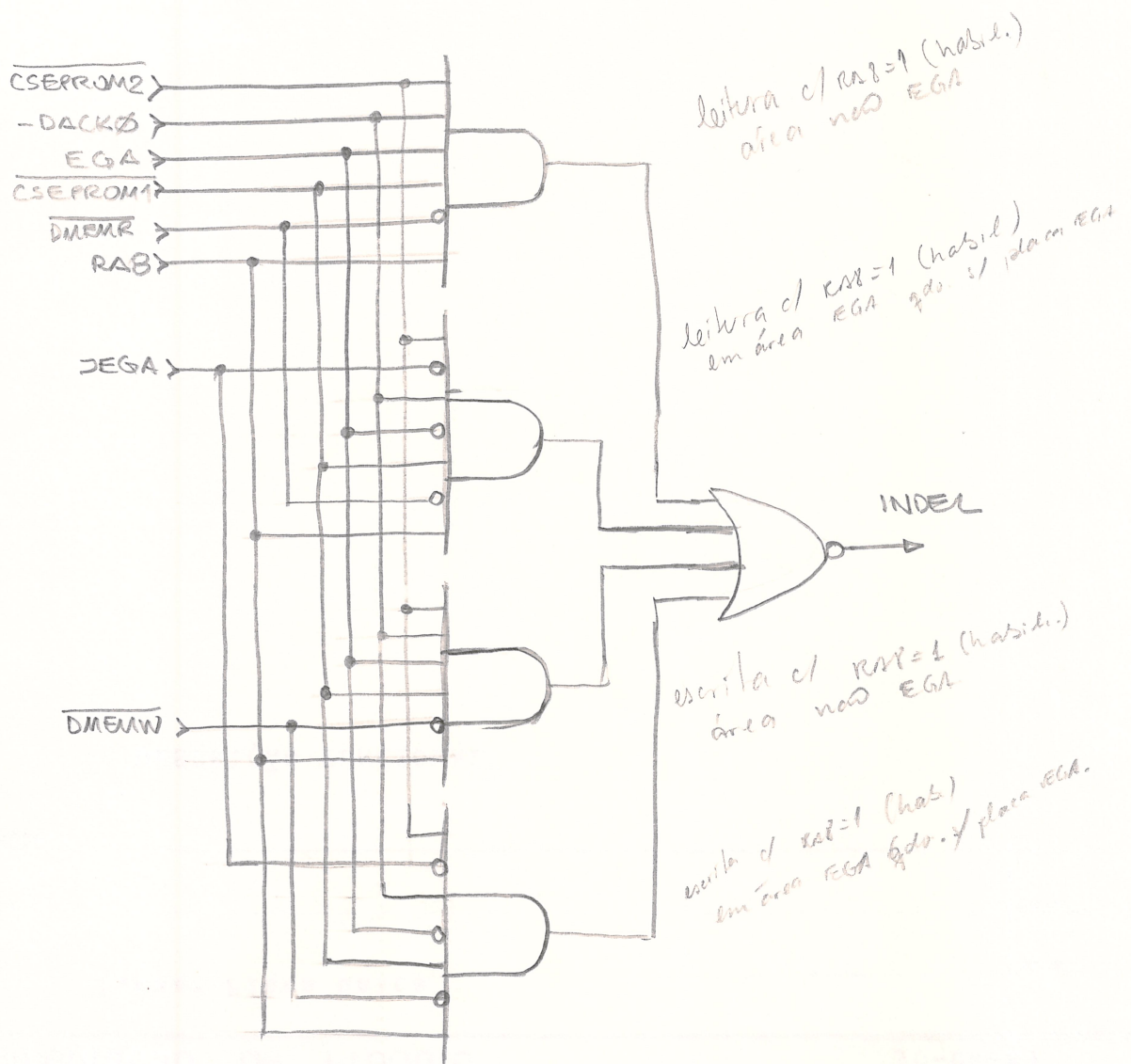
PAL 16L8

CI 81

INDEL

$$\begin{aligned} \overline{O5} &= I1 \cdot \dots \cdot I6 \cdot I7 \cdot I8 \cdot \overline{I9} \cdot I11 + \\ &+ I1 \cdot \overline{I5} \cdot I6 \cdot \overline{I7} \cdot I8 \cdot \overline{I9} \cdot I11 + \\ &+ I1 \cdot I6 \cdot I7 \cdot I8 \cdot \overline{I10} \cdot I11 + \\ &+ I1 \cdot \overline{I5} \cdot I6 \cdot \overline{I7} \cdot I8 \cdot \overline{I10} \cdot I11 = \end{aligned}$$

$$\begin{aligned} &= (\overline{CSEPR0M2}) \cdot \dots \cdot (-DACK0) \cdot EGA \cdot (\overline{CSEPR0M1}) \cdot (\overline{DMEMR}) \cdot RAB \\ &+ (\overline{CSEPR0M2}) \cdot \overline{JEGA} \cdot (-DACK0) \cdot EGA \cdot (\overline{CSEPR0M1}) \cdot (\overline{DMEMR}) \cdot RAB \\ &+ (\overline{CSEPR0M2}) \cdot \dots \cdot (-DACK0) \cdot EGA \cdot (\overline{CSEPR0M1}) \cdot (\overline{DMEMW}) \cdot RAB \\ &+ (\overline{CSEPR0M2}) \cdot \overline{JEGA} \cdot (-DACK0) \cdot EGA \cdot (\overline{CSEPR0M1}) \cdot (\overline{DMEMW}) \cdot RAB \end{aligned}$$



INDEL # CI81 PIN. 15 #

Sinal, ativo em baixo, que habilita o buffer bidirecional de interface com as RAM's.

Este sinal é ativado quando houver uma operação de leitura ou escrita em área não correspondente ao EGA ou em área EGA (quando não existe a placa EGA). O oitavo bit dos Registradores de Página controla a habilitação deste sinal (através da linha R48).

PAL16L8 - CI 81

-10CHCK

$$\overline{O6} = I4 = Q_L \Rightarrow \boxed{-10CHCK = \overline{Q_L}}$$



-10CHCK $\neq$ CI 81. PIN. 12 $\neq$

$\neq$ BARRAMENTO A1 $\neq$

sinal, ativo em baixo, que indica erro de paridade em RAM dinâmica. corresponde a Q_L invertido.