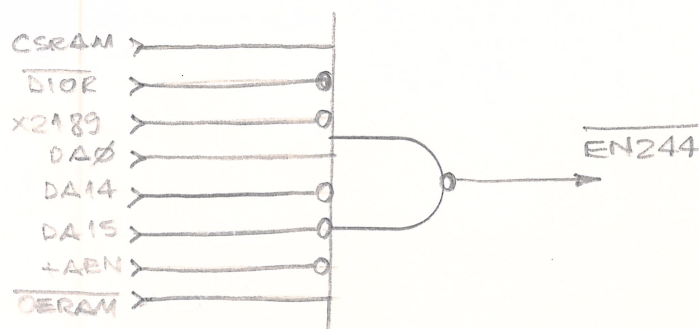


DA16L8A - CI80

EN244

$$\overline{O1} = \overline{I1} \cdot \overline{I3} \cdot \overline{I5} \cdot \overline{I6} \cdot \overline{I7} \cdot \overline{I8} \cdot \overline{I9} \cdot O3 =$$

$$= \overline{CSRAM} \cdot (\overline{DIOR}) \cdot \overline{X2189} \cdot \overline{DA0} \cdot \overline{DA14} \cdot \overline{DA15} \cdot (\overline{+AEN}) \cdot (\overline{OERAM}) = \overline{EN244}$$



EN244 ≠ CI80 PIN. 19 ≠

Sinal de habilitação de buffer quando da leitura do Registrador de Início de Janela (endereço 0219 H).

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	1
		0				0			0					1	
		3				F			F					F	

} só ímpar

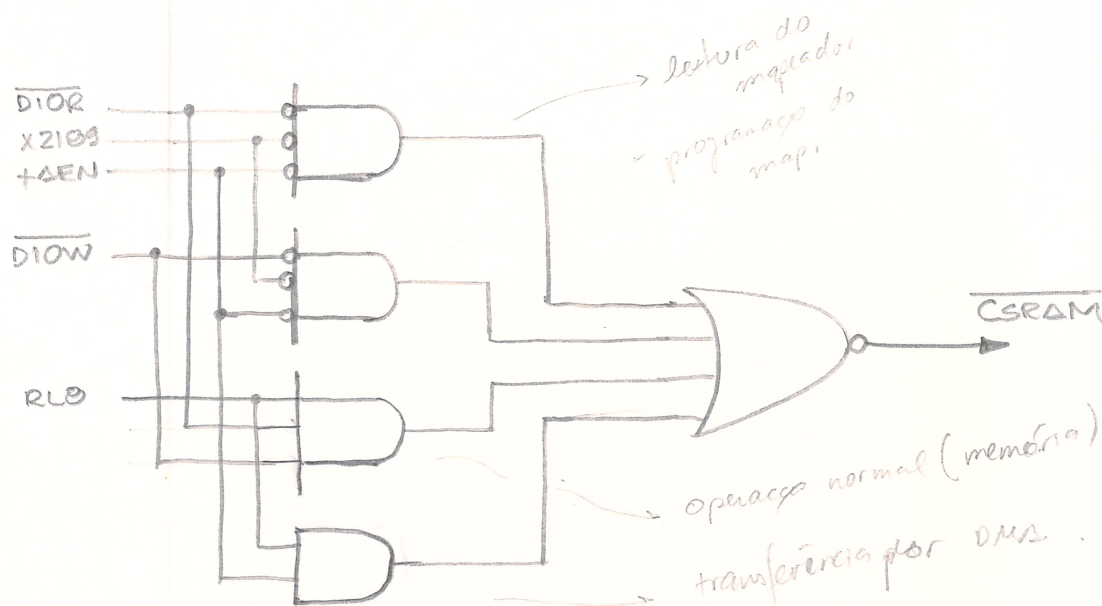
0219

*

PAL 16L8A - CI 80

CSRAM

$$\begin{aligned}\overline{O2} &= \overline{I3} \cdot \overline{I5} \cdot \overline{I9} + \overline{I4} \cdot \overline{I5} \cdot \overline{I9} + \overline{I2} \cdot \overline{I3} \cdot \overline{I4} + \overline{I2} \cdot \overline{I9} = \\ &= (\overline{DIOR}) \cdot (\overline{X2I89}) \cdot (\overline{+AEN}) + (\overline{DIOW}) \cdot (\overline{X2I89}) \cdot (\overline{+AEN}) + \overline{RLB} \cdot (\overline{DIOR}) \cdot (\overline{DIOW}) + \\ &+ \overline{RLB} \cdot (\overline{+AEN}) = \overline{CSRAM}\end{aligned}$$



CSRAM # CI80 PIN. 18 # (ativo em baixo)

CSRAM # CI102 PIN. 4 # (ativo em alto)

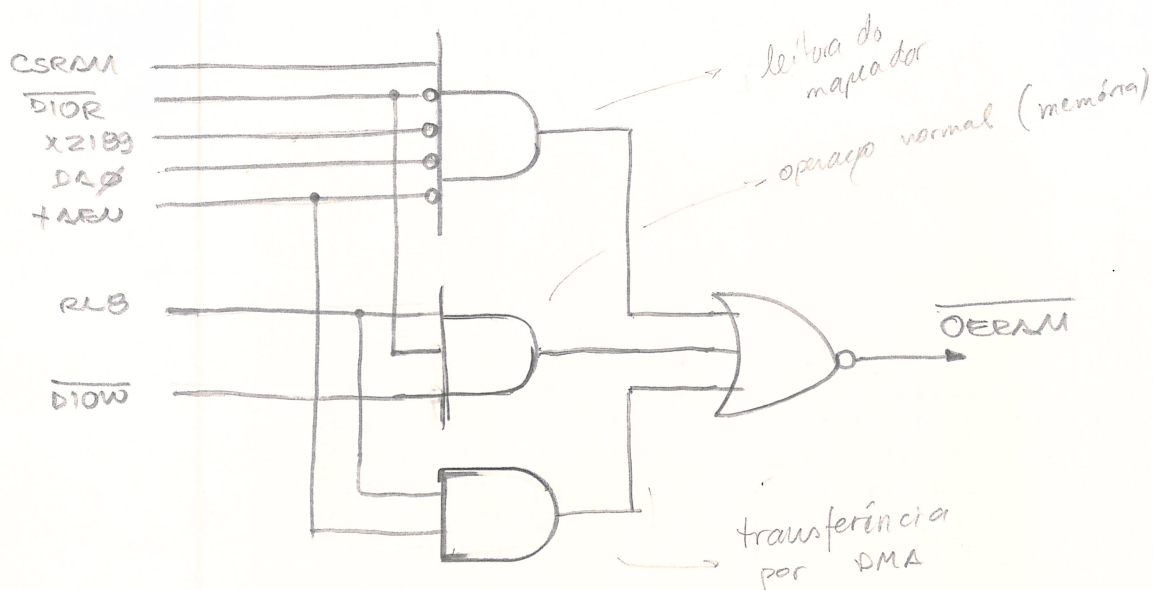
Sinal de habilitação dos Registradores de Página, quando de sua leitura ou programação, ou quando em operação normal (acesso à memória) seja através da CPU ou do controlador de DMA. A linha RLB controla a situação de operação normal.

PAL 16L8A - CI80

OERAM

$$\overline{O3} = I1.\overline{I3}.\overline{I5}.\overline{I6}.\overline{I9} + I2.I3.I4 + I2.I9 =$$

$$= CSRAM.(\overline{DIOR}).\overline{X2IB9}.\overline{DA\phi}.(+\overline{AEN}) + RL8.(\overline{DIOR}).(\overline{DIOW}) + RL8.(+\overline{AEN}) =$$



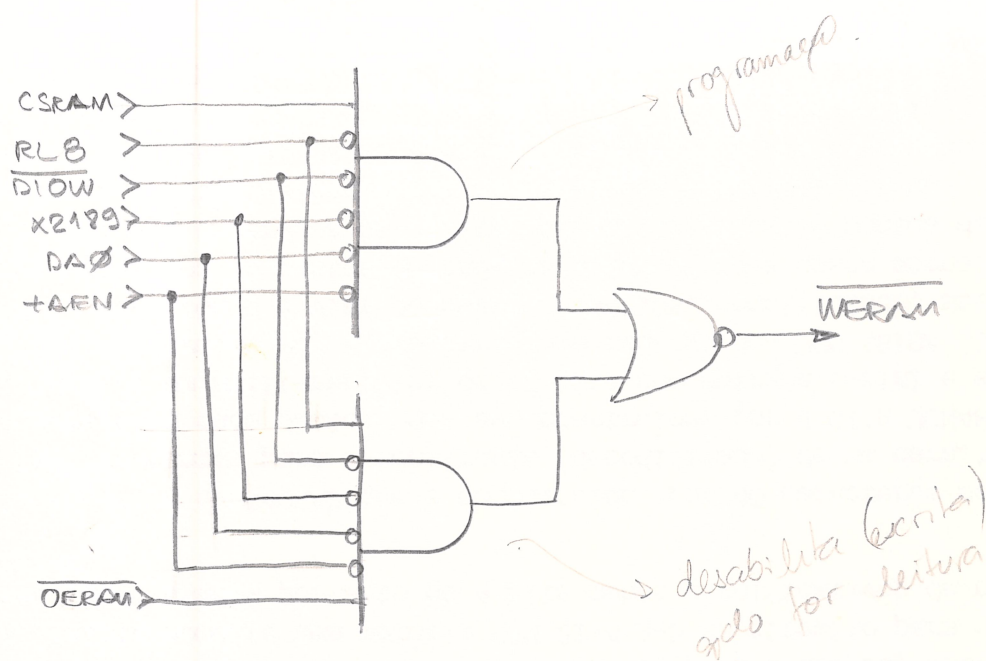
OERAM ≠ CI80 PW.17 ≠

Sinal, ativo em baixo, de habilitação da saída de dados do Registrador de Página. Isso ocorre quando da leitura do mapeador ou em operação normal (acesso à memória ou processo de DMA). A linha RL8 controla a situação de operação normal.

PAL 16L8A - CI80

WERM

$$\begin{aligned}\overline{O4} &= \overline{I1} \cdot \overline{I2} \cdot \overline{I4} \cdot \overline{I5} \cdot \overline{I6} \cdot \overline{I9} + I2 \cdot \overline{I4} \cdot \overline{I5} \cdot \overline{I6} \cdot \overline{I9} \cdot O3 = \\ &= \text{CSRAM} \cdot \overline{RLB} \cdot (\overline{\text{DIOW}}) \cdot \overline{\text{X2189}} \cdot \overline{\text{DA0}} \cdot (\overline{+\text{AEN}}) + \\ &+ \overline{RLB} \cdot (\overline{\text{DIOW}}) \cdot \overline{\text{X2189}} \cdot \overline{\text{DA0}} \cdot (\overline{+\text{AEN}}) \cdot (\overline{\text{OERAM}}) = \overline{\text{WERM}}\end{aligned}$$



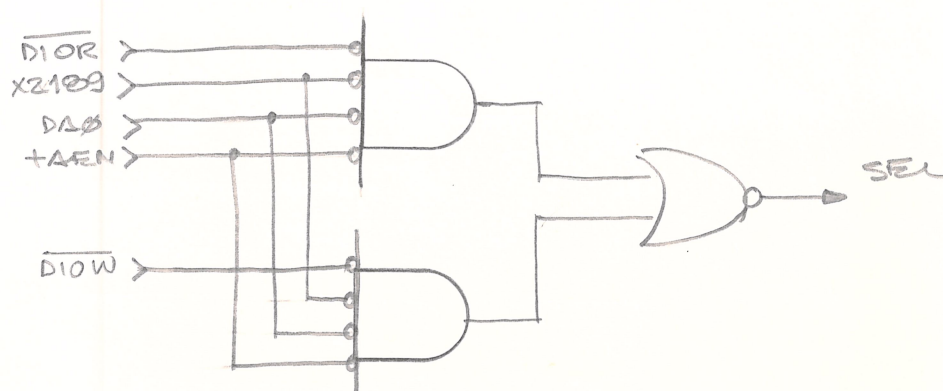
$\overline{\text{WERM}} \neq \text{CI80 PIN.16} \neq$

Sinal, ativo em baixo, de habilitação de escrita de dados nos Registradores de Página.

PAL16LB - CI 80

SEL

$$\begin{aligned} \overline{05} &= \overline{I3} \cdot \overline{I5} \cdot \overline{I6} \cdot \overline{I9} + \overline{I4} \cdot \overline{I5} \cdot \overline{I6} \cdot \overline{I9} = \\ &= (\overline{D1OR}) \cdot \overline{X21B9} \cdot \overline{DA\emptyset} \cdot (\overline{+AEN}) + (\overline{D1OW}) \cdot \overline{X21B9} \cdot \overline{DA\emptyset} \cdot (\overline{+AEN}) = \text{SEL} \end{aligned}$$



SEL # QIRO PIN. 15

Sinal de selecção das linhas do multiplexar. Quando da programação ou leitura dos Registradores de Página, $SEL = \emptyset$, implicando que o endereçamento é feito através do Registrador de Início de Janela. Quando do acesso à memória, $SEL = 1$, implicando que o endereçamento é feito directamente (endereços do barramento externo).

X2819															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X	X	X	X	X	X	1	0	X	X	X	X	1	0	0	$\emptyset$
X				2				X				8			
				G											
				A											
				E											

LECIA



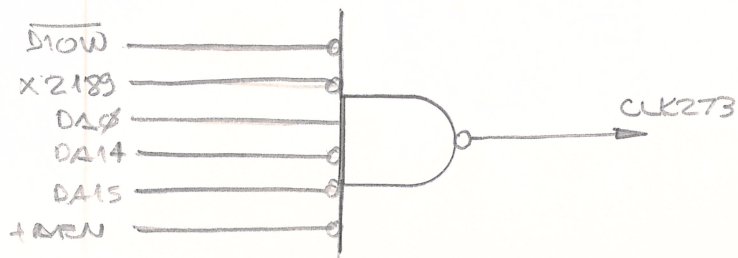
MAP1 e MAP2).

PAL 16 LBA - CI 80

CLK 273

08 = I4, I5, I6, I7, I8, I9 =

$$= (\overline{DIOW}), \overline{XZ189}, \overline{DA08}, \overline{DA14}, \overline{DA15}, (\overline{A1E0}) = CLK273$$



CLK273# C±80 PIN. 12#

Sinal, ativo na borda de subida, de programação do endereço de Início de Janela. O sinal é ativado através de uma operação de escrita no endereço 0219H.

[illegible]