

APÊNDICE E: PLACA DE MEMÓRIA EMS - PCxt II

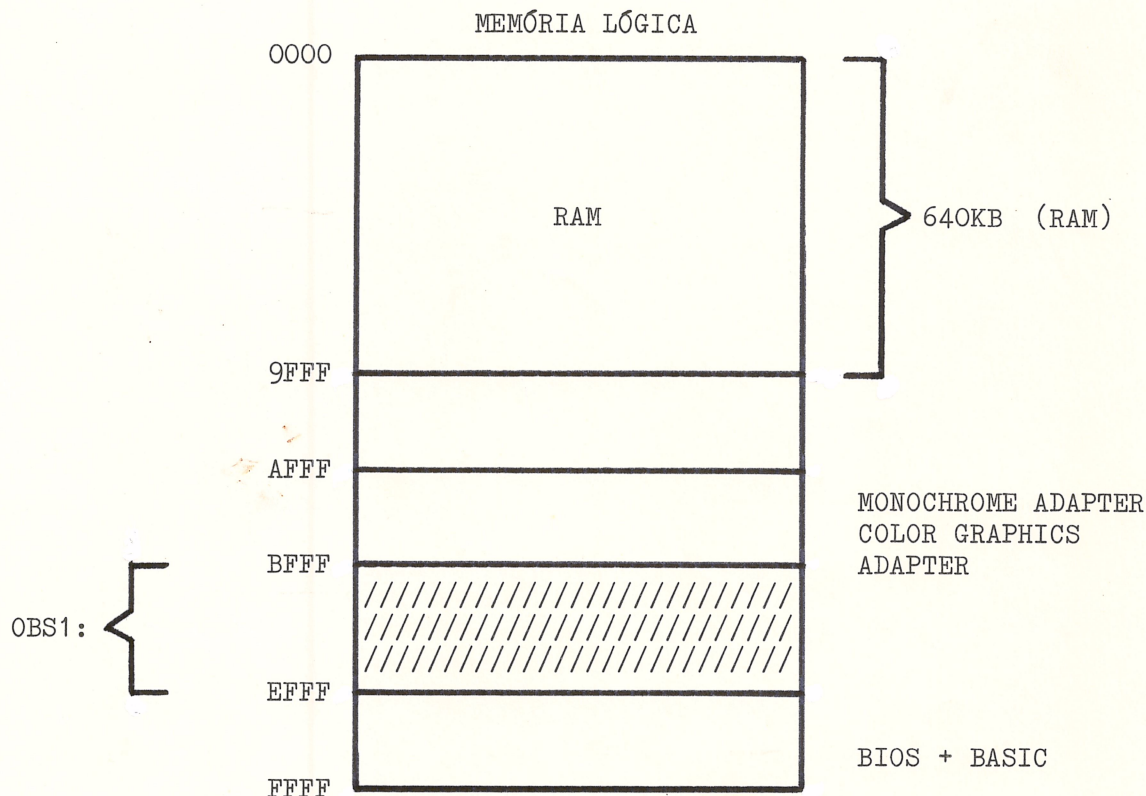
EMS = ENHANCED MEMORY SPECIFICATION - Padrão de mapeamento de memória definido pelos seguintes fornecedores de placas/software para micros compatíveis com o IBM PCxt: LOTUS/INTEL/MICROSOFT

. MOTIVO DA CRIAÇÃO DO PADRÃO:

A capacidade de endereçamento do microprocessador 8088-2 é de 1MB (20 bits). Esta capacidade já não é mais suficiente para as sofisticadas aplicações que estão surgindo para os micros de 16 bits compatíveis com o IBM PCxt. Portanto, faz-se necessário a expansão de memória além deste limite, o que leva a ter que mapear memória neste espaço de 1MB.

Devido ao grande número de fornecedores independentes de placas e programas para o IBM PCxt ou compatível, as empresas LOTUS/INTEL/MICROSOFT se reuniram e definiram um padrão de mapeamento a nível de software (INT's), para evitar que cada fabricante fizesse seu padrão, dificultando o desenvolvimento de programas que necessitem mais do que 1MB.

Para melhor entendermos este padrão, daremos a seguir como está configurada a memória do micro I-7000 PCxt II.



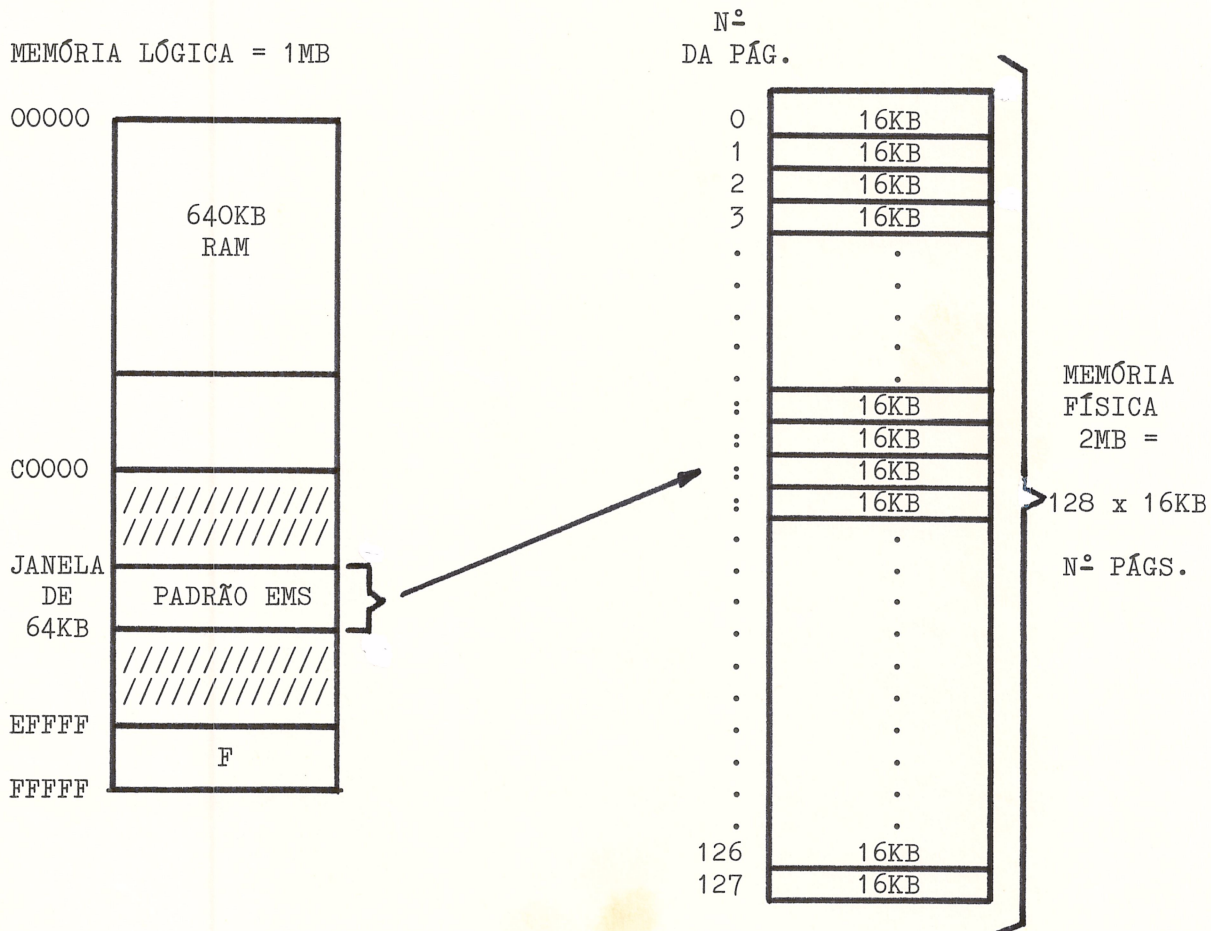
OBS1: Nesta área será procurado um espaço (janela de 64KB-4 x 16KB), onde funcionará a paginação do padrão EMS. Esta procura é feita por software, e varia de micro para micro, dependendo das placas instaladas no mesmo, que podem utilizar este espaço também.

Considerando que teríamos que desenvolver um mapeador para este tipo de padrão de endereçamento decidimos ter todo o espaço endereçável do microprocessador 8088-2 (1MB), mapeado com páginas de 16KB. Com isto, a memória física do microcomputador I-7000 PCxt II ficará desvinculada da memória lógica utilizada pelo Sistema Operacional.

Este recurso gera a possibilidade de relocação de memória, fazendo com que o equipamento esteja sempre operacional, mesmo que haja "queima de Chips" de memória. Isto é, durante o "selftest" da máquina o BIOS testa toda a memória e, caso detecte algum erro, realoque a memória física, colocando a parte defeituosa no final da mesma, permitindo que o equipamento tenha sempre a sua memória lógica contínua.

Isto não ocorreria no I-7000 PCxt e, caso queime um CI de RAM no banco 1, por exemplo, o micro que estaria com 640KB ficaria com 256KB de RAM. Com este novo conceito, ele ficaria com $256 + 128 = 384\text{KB}$. Caso este erro fosse no banco 0 do I-7000 PCxt, o mesmo não funcionaria mais e com este conceito, funcionaria com 384KB.

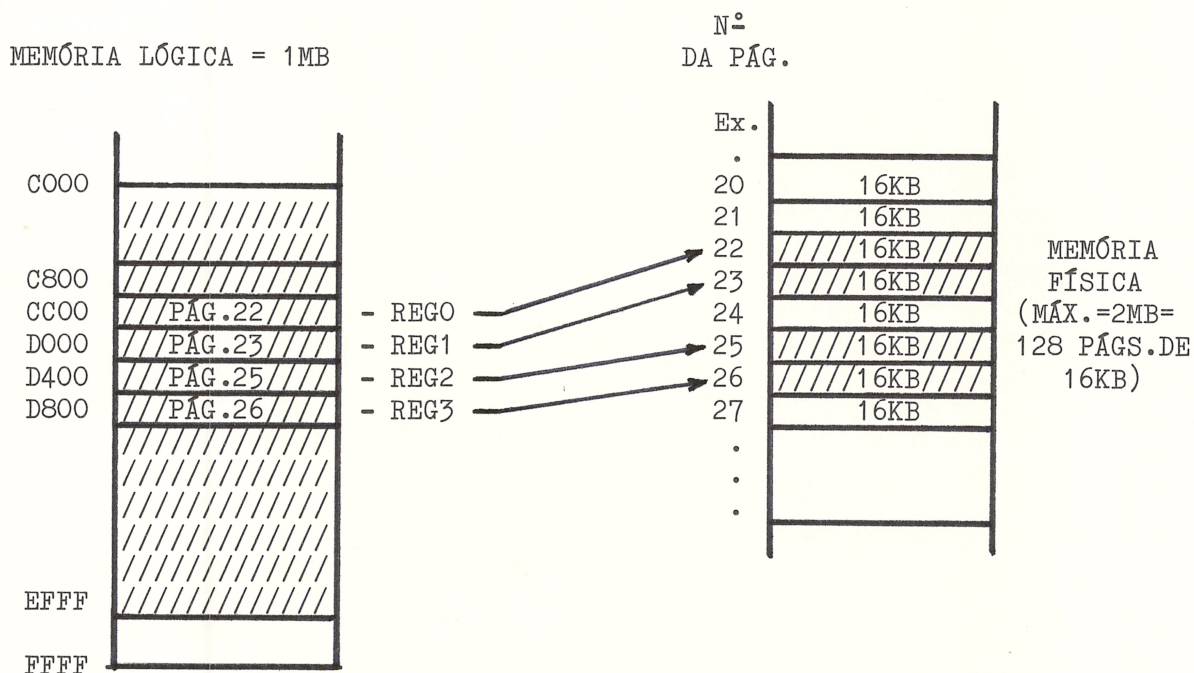
A capacidade máxima de memória RAM que se poderá instalar em uma placa dessas é de 2MB, sendo que o padrão EMS prevê a utilização de até 4 placas = 8MB.



A janela de 64KB necessária para o mapeador estará posicionada no espaço de endereçamento compreendido entre C000H e EFFFFH. No IBM PCxt este espaço é reservado à princípio para "ROM's" utilizadas em placas de expansão. Por isto, se faz necessário o teste, por software, da posição onde a janela de 64KB poderá ser posicionada, para evitar conflitos com outra placa que possua ROM neste espaço.

Nesta janela, poderemos mapear 64KB de memória física quaisquer dos 2MB, sendo que em um dado instante somente 64KB é visível no espaço de endereçamento do 8088 que é de 1MB.

. Funcionamento da Janela: (EXEMPLO)



No exemplo acima, a janela foi posicionada em C800H a D800H (ou seja, C8000H à D7FFFH). A janela possui 4 páginas de 16KB cada, sendo que cada página está associada a um registrador chamado de REG0 a REG3.

O conteúdo desses registradores é que define qual página física será acessada, embora a memória lógica seja contínua, a física pode estar descontínua, sem problemas ou dificuldades extras para quem usa a memória lógica, bastando ter um bom gerenciador de memória.

No nosso exemplo, suponha que a (página) 24 esteja com problema ou já tenha sido utilizada. Neste caso, o registrador 2 que apontaria para a página 24 apontará para a página 25, deixando a memória física descontínua. Do ponto de vista da memória lógica, esta estará contínua na janela C8000H - D7FFFH.

. Posicionamento da Janela de 64KB

Existe um registrador na placa que serve para posicionar a janela no espaço de C8000H à EFFFFH, segundo a lei de formação abaixo:

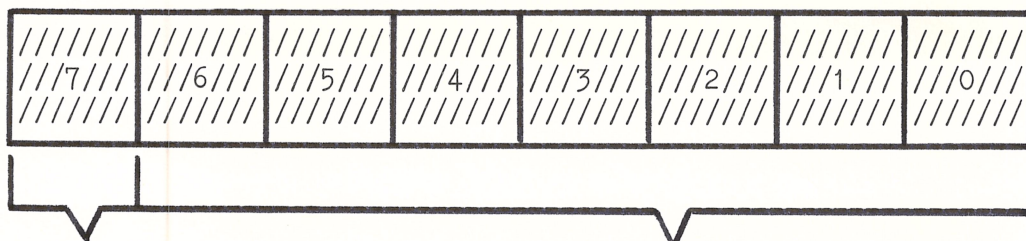
POSSÍVEL INÍCIO DA JANELA	ENDEREÇOS								CONTEÚDO A SER PROGRAMADO NO REG 0219 H
	0	0	A19	A18	A17	A16	A15	A14	
C0000	0	0	1	1	0	0	0	0	30 H
C4000	0	0	1	1	0	0	0	1	31 H
C8000	0	0	1	1	0	0	1	0	32 H
CC000	0	0	1	1	0	0	1	1	33 H
D0000	0	0	1	1	0	1	0	0	34 H
D4000	0	0	1	1	0	1	0	1	35 H
D8000	0	0	1	1	0	1	1	0	36 H
DC000	0	0	1	1	0	1	1	1	37 H
E0000	0	0	1	1	1	0	0	0	38 H

. Endereços dos Registradores da Janela (mais comum)

	Endereço do I/O	
REG0	- 0218 H	} default
REG1	- 4218 H	
REG2	- 8218 H	
REG3	- C218 H	

OBS.: Caso existam outras placas desta, poderemos mudar os endereços acima para evitarmos conflito.

- . Conteúdo dos Registradores da Janela (REG0 à REG3)



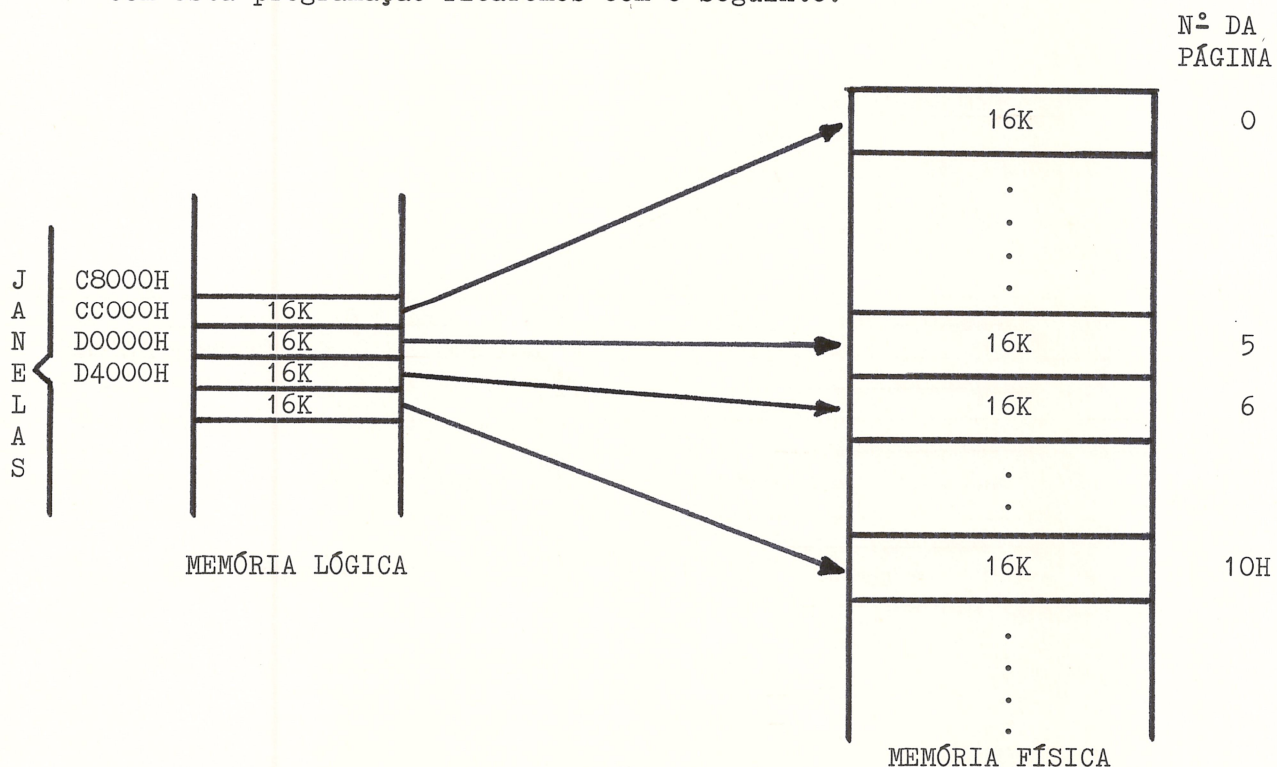
Este bit habilita
ou não a página
= 0 - pág. desabilitada
= 1 - pág. habilitada

Nº da página física de 16K de RAM a ser
mapeado - 7 bits - 128 páginas = 2MB/
placa.

Ex.: Colocar a janela à partir do endereço C8000H e mapear a página 0 no
REG0, 5 no REG1, 6 no REG2 e 10H no REG3.

Solução: Programar o registrador 0219H com 32H
Programar o REG0 - (0218H) com 80H
Programar o REG1 - (0218H) com 85H
Programar o REG2 - (0218H) com 86H
Programar o REG3 - (0218H) com 90H

Com esta programação ficaremos com o seguinte:



Portanto, como o bit 7 dos registradores REG0 a REG3 estão iguais a "1", estas páginas estão visíveis (habilitados) na janela.

. Descrição das Dip-Switches da Placa e Jumper's

SWITCH 1: I/O

SW1 - 1	}	Define endereço da placa padrão EMS (endereços dos registros REG0 à REG3)
SW1 - 2		
SW1 - 3		
SW1 - 4		
SW1 - 5	}	Define endereço das seriais
SW1 - 6		
SW1 - 7		
SW1 - 8		

SWITCH 2: MEMÓRIA

SW1 - 1	→	JEGA (640K ou 704KB)
SW1 - 2	}	Define quantidade de memória já instalada no micro (convencional)
SW1 - 3		
SW1 - 4	}	Nº de bancos alocados como memória convencional
SW1 - 5		
SW1 - 6		
SW1 - 7	→	Dual-page mode
SW1 - 8	→	Habilitação de paridade

JUMPER's:

J1	}	Habilitam as seriais
J2		

J3 — Desabilita as EPROM's (caso haja mais de 1 placa)

SW3 e SW4 — Programação do tipo de interface a ser usado nas seriais (RS-232C - Loop Itautec e Loop IBM)

J4	}	Usado nas interfaces seriais
J5		

A) ENDEREÇO DOS REGISTRADORES DA JANELA (REGO À REG3):

SW1-1	SW1-2	SW1-3	SW1-4	ENDEREÇO USADO	OBS:	PLACA QUE UTILIZA
A7	A6	A5	A4			
0	0	0	0	020 X	*	GAME I/O
0	0	0	1	021 X		
0	0	1	0	022 X	*	IRMA
0	0	1	1	023 X		
0	1	0	0	024 X		
0	1	0	1	025 X		
0	1	1	0	026 X		
0	1	1	1	027 X	*	PRINTER 2
1	0	0	0	028 X		
1	0	0	1	029 X		
1	0	1	0	02A X		
1	0	1	1	02B X		
1	1	0	0	02C X		
1	1	0	1	02D X		
1	1	1	0	02E X		
1	1	1	1	02F X	*	SERIAL 2

B) ENDEREÇO DAS INTERFACES SERIAIS:

SW1-5	SW1-6	SW1-7	SW1-8	ENDEREÇO USADO		OBS:	PLACA QUE UTILIZA
A7	A6	A5	A4	SERIAL 1	SERIAL 2		
0	0	0	0	030 X	020 X	*	PROT. GAME I/O
0	0	0	1	031 X	021 X	*	PROT. /EMS
0	0	1	0	032 X	022 X	*	IRMA
0	0	1	1	033 X	023 X		
0	1	0	0	034 X	024 X		
0	1	0	1	035 X	025 X		
0	1	1	0	036 X	026 X	*	RESERVADO
0	1	1	1	037 X	027 X	*	PRINTER 1/2
1	0	0	0	038 02	028 X	*	SDLS/BISYNCR.
1	0	0	1	039 02	029 X		
1	0	1	0	03A 02	02A X	*	BISYNCR.1/SDLC1
1	0	1	1	03B 02	02B X	*	MONOCROMÁTICO/
1	1	0	0	03C 02	02C X	*	RESERVADO
1	1	0	1	03D 02	02D X	*	COLOR GRAPHICS
1	1	1	0	03E 02	02E X		
1	1	1	1	03F 02	02F X	*	SERIAL 1 e 2

C) JUMPER's EGA:

SW2-1 - Este switch é utilizado para determinar se o microcomputador terá 640KB ou 704KB de RAM como memória convencional e deve ser "setado", dependendo da placa de controle de vídeo utilizada no micro (para evitar conflitos de endereçamento da memória convencional com o "buffer" da placa controladora de vídeo).

PLACA CONTROLADORA DE VÍDEO INSTALADA	POSIÇÃO DO JUMPER JEGA	QUANTIDADE DE MEMÓRIA CONVENCIONAL
1. Placa Hercules	0	704KB 736 KB
2. Placa Monochrome IBM)	0	704KB 736
3. Placa CGA (color graphics adapter IBM)	0	704KB 736
4. Placa EGA (enhanced graphics adapter IBM)	1	640KB
5. Placa PGA (professional graphics adapter IBM)	1	640KB

OBS.: No caso do I-7000 PCxt II hoje comercializado, a opção será a (3), pois a controladora de vídeo é compatível com a CGA.

0 = ON

1 = OFF

D) QUANTIDADE DE MEMÓRIA JÁ INSTALADA NO MICRO QUE RECEBERÁ ESTA PLACA DE MEMÓRIA:

SW2-2	SW2-3	SW2-4	KB de RAM	OBS.:
0	0	0	Não válida	*
0	0	1	Não válida	*
0	1	0	640	
0	1	1	Não válida	*
1	0	0	Não válida	*
1	0	1	256	
1	1	0	512	
1	1	1	0	

* RESERVADAS

E) NÚMERO DE BANCOS DE RAM ALOCADOS COMO MEMÓRIA CONVENCIONAL:

OBS.: Cada banco tem 256KB de RAM

SW2-5	SW2-6	Nº DE BANCOS	OBS.:
0	0	0	
0	1	1	
1	0	2	
1	1	3	*

* DEFAULT

F) DUAL-PAGE MODE:

Este é um recurso adicional para permitir que tenhamos 2 blocos de RAM (64KB/cada) já inicializados, isto é, programado nos mapeadores, dando-nos a flexibilidade de, com apenas a execução de uma instrução ("out"), trocamos todos os 64KB da janela por outros 64KB.

SW2-7	Nº DE BANCOS
0	2 *
1	1

* DEFAULT

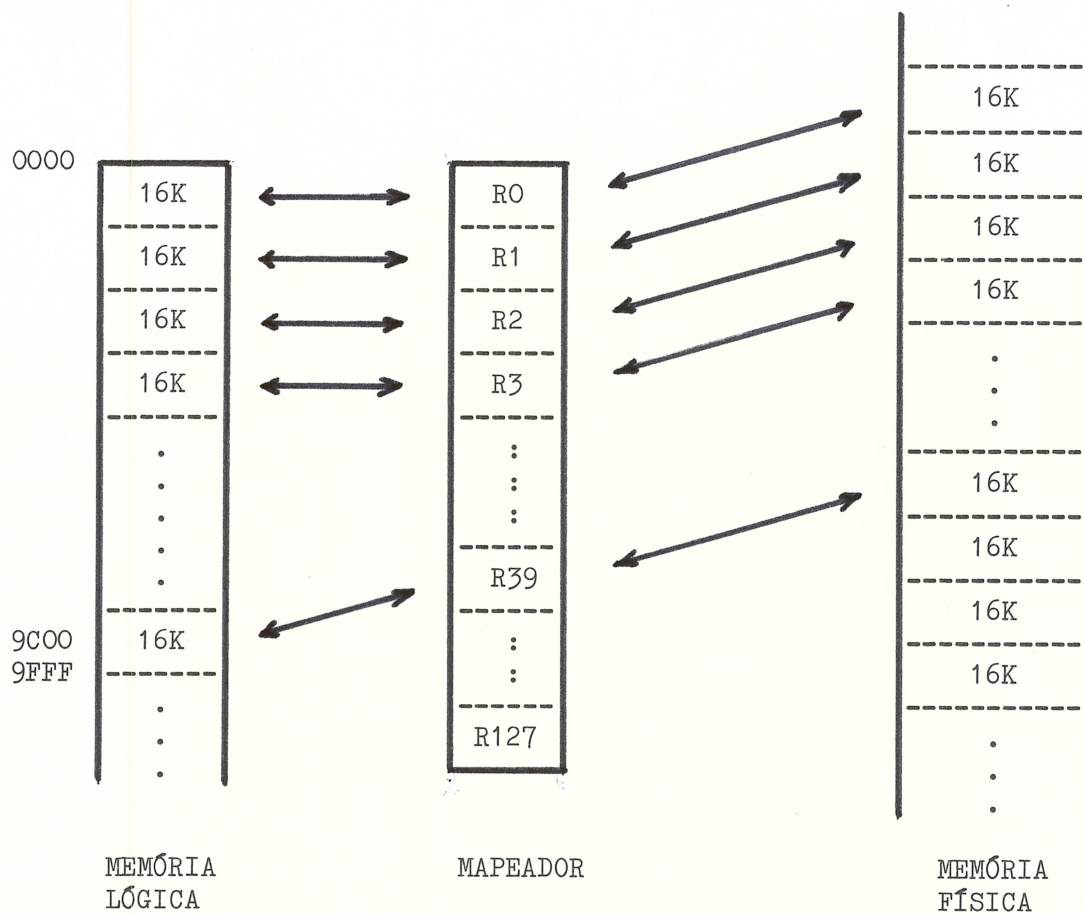
G) HABILITAÇÃO DE PARIDADE:

Este switch permite que a checagem da paridade seja desabilitada por hardware e operacional.

SW2-8	POSIÇÃO
0	ENABLE
1	DESABLE

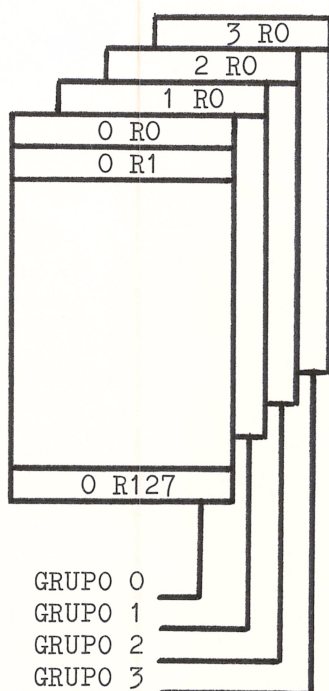
• Mapeamento de Memória Convencional

A memória convencional está mapeada em páginas de 16KB, sendo totalmente desvinculada da memória física do micro, permitindo que um bloco de RAM física com problema seja realocado da memória lógica, fazendo com que a mesma esteja sempre contínua.



. Descrição do Mapeador

O mapeador é composto de 4 grupos de registradores, cada qual com 128 registradores.



nº do grupo $\xrightarrow{\text{XRN}}$ $\xleftarrow{\text{XRN}}$ nº registrador

GRUPO 0 = 0R0 à 0R127
GRUPO 1 = 1R0 à 1R127
GRUPO 2 = 2R0 à 2R127
GRUPO 3 = 3R0 à 3R127

Existe um registrador de placa, cujo endereço é 8219H, para o qual só é importante os bits 0 e 1, os quais definem qual grupo de registradores do mapeador está ativo. Quando o micro é ligado, ou sofre um "reset", por hardware, o grupo de registradores ativo é o 0R0 (grupo 0).

CONTEÚDO DO 8219H		0	1	2	3
D1	D0				
0	0	ATIVO	-----	-----	-----
0	1	-----	ATIVO	-----	-----
1	0	-----	-----	ATIVO	-----
1	1	-----	-----	-----	ATIVO

OBS.: No padrão LOTUS/INTEL não existe este recurso de 4 grupos de registradores. Este foi um recurso incluído pela Itautec para prever a utilização de um sistema do tipo SIM/MULTIDOS, no qual basicamente, a memória física do micro (2MB) estaria dividida, à grosso modo, em 4 blocos de memória lógica de 0 a 512KB, (endereço 0 à 7FFFFH). Com este conceito o SIM/MULTIDOS não terá que "salvar" muitas variáveis toda vez que chavear de processo, ganhando em performance do atual, bem como a memória destinada a cada processo poderia ser de 512KB, tirando uma limitação atual que divide os 640KB do micro por 4 processos, destinando pouca memória para cada processo, o que torna insuficiente ou impossível que alguns programas rodem.

Outro ponto importante é que, como a memória lógica é composta de páginas de 16KB cada, pode-se deixar uma determinada página física alocada para os 4 blocos lógicos de 0 à 512B, facilitando a troca de informações entre processos.

A quantidade de memória alocada a cada processo também é variável e dependerá basicamente da inicialização dos registradores mapeadores. Portanto, poderemos ter processos rodando com 640KB (memória que torna possível rodar qualquer software para o XT).

Outro fato que pode ser explorado com estes 4 grupos de registradores mapeadores é o fato de se alocar na janela de 64KB, páginas físicas diferentes em cada grupo de mapeadores.

Com isto, pode-se ter apenas com a execução de uma instrução do 8088 do tipo "OUT", 4 x 64KB = 256KB previamente alocados, ganhando performance em relação ao procedimento normal do padrão LOTUS/INTEL.

. Inicialização dos mapeadores relativos a memória principal

Para se programar os registradores do mapeador, deve-se:

- 1º - Programar o registrador 8219H com o grupo do mapeador a ser acessado.
- 2º - Programar o registrador 0219H com a posição inicial da janela de 64KB.
- 3º - Programar os 4 registradores (4 x 16KB) correspondentes aos endereços de I/O:

REG0 = endereço 0218H
REG1 = endereço 4218H
REG2 = endereço 8218H default
REG3 = endereço C218H

. Testes de Memória RAM

Devido a capacidade instalada de RAM ser de no máximo 2MB por placa, o BIOS do micro deve conter um "self test" para as RAM's bastante eficiente, devido a grande probabilidade de, caso ocorra queima de algum "chip" na placa de memória, o mesmo ser de RAM.

Como a memória está desvinculada da física, o "BIOS" poderá após testar a memória, alocar continuamente memória sem defeito, mesmo que existam bancos de memória com CI's queimados no equipamento. Caso exista CI de RAM queimado nesta placa, o efeito para o usuário é a diminuição da memória total de que ele disponha originalmente quando recebeu o equipamento e não a inoperabilidade do micro.

. Interfaces Seriais Assíncronas

Esta placa possui 2 interfaces seriais assíncronas baseadas no LSI 8250. Estas interfaces são totalmente compatíveis com as do I-7000 PCxt e IBM PCxt e não serão descritas aqui.

O único item diferente é a "Setagem" da Dip-Switch conforme descrito anteriormente neste documento.

. Memória EPROM

Esta placa poderá ter 2 memórias do tipo EPROM. Uma delas é reservada para a colocação do programa "BIOS" e a outra deve ser usada somente como meio de proteção de software por alguns programas aplicativos do IBM PC.

Portanto, teremos instalado nesta placa apenas uma EPROM 27128 (16K x 8) e outro soquete é reservado para uma EPROM 2764 que não é a Itautec que instala (depende do aplicativo).