

**Itautec**

CENTRO DE TREINAMENTO TÉCNICO

**EXTENSÃO DE MEMÓRIA SUPER 2MB**

**EMS**

**SIMULAÇÃO DE DEFEITOS**

---

*José Lourenço Pires*

Eng.º Elct. CREA N.º 144.567

**1. OBJETIVO**

Este documento visa descrever todos os procedimentos relativos à simulação de defeitos na placa EMS.

**2. DESCRICAÇÃO DAS ALTERAÇÕES**

A simulação de defeitos é feita através de dois recursos:

- DIPSWITCH;
- SOQUETES COM CI'S DEFEITUOSOS

Para a utilização da dipswitch foi necessário o corte de duas trilhas, descritos adiante.

A interligação entre a dipswitch e os diversos pontos da placa é mostrada na tabela 2.1.

DIP	PINO	SINAL	CI	PINO
01	1 A	MAP	78	17
	2 A	CLK273	80	12
	3 A	COMP1	78	3
	4 A	CAS0	104	11
	5 A	DIR	88	1
	6 A	RAS3	82	16
	7 A	-DACK0		6
	8 A	ENIO	87	19
	1 B	GND	CONECTOR CN03 (COMUNICA- ÇÃO SERIAL)	PINO DE FIXAÇÃO
	2 B	GND		
	3 B	GND		
	4 B	GND		
	5 B	GND		
	6 B	RAS3	RP4	7
	7 B	-DACK0	81	6
	8 B	ENIO	80	14

TABELA 2.1 - INTERLIGAÇÃO ENTRE DIPSWITCH E CI'S.

A conexão das chaves de 1 a 5 da dip foi feita diretamente com os pinos dos CI's, exceto no lado de conexão ao terra, quando os pinos foram interligados.

Tais chaves devem permanecer em ABERTO para funcionamento normal.

## CENTRO DE TREINAMENTO TÉCNICO

As chaves 6,7 e 8 devem permanecer, normalmente, FECHADAS pois interceptam o caminho entre CI 82 - RP04, CI's e CI's 80-87, respectivamente.

O ponto de interrupção da trilha entre o pino 6 do CI 81 e o pino 6 do CI 82 (sinal - DACK0) é mostrado na Fig. 2.1.

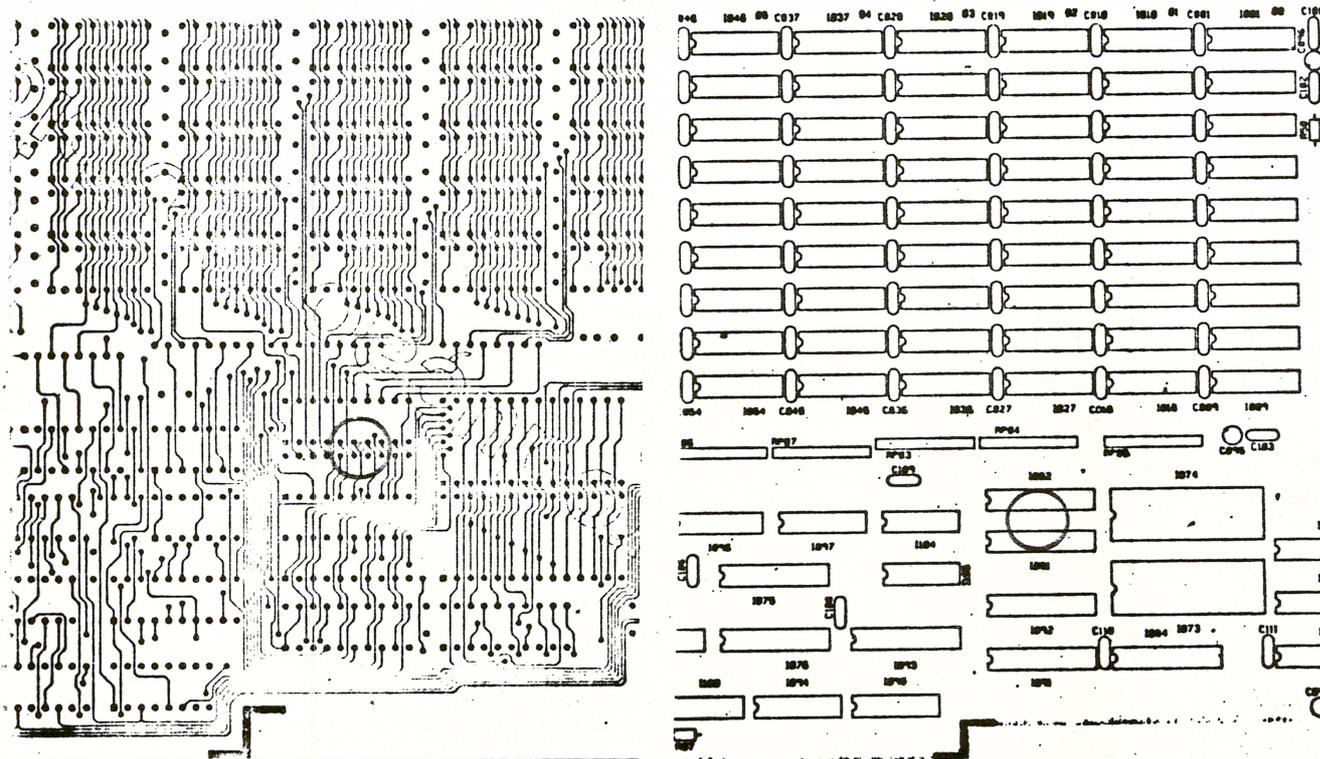
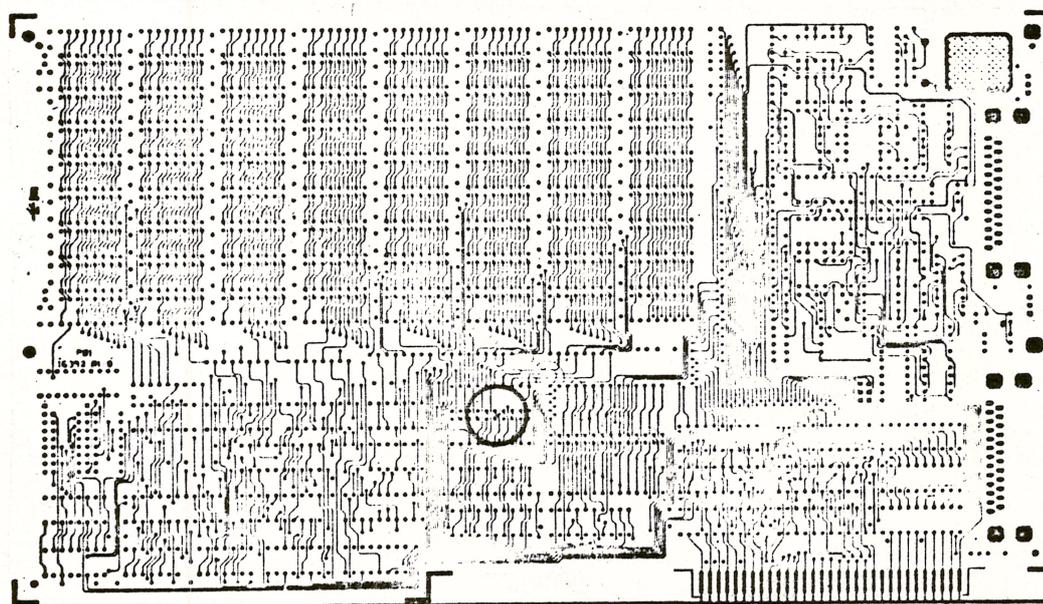


FIGURA 2.1 - Trilha interrompida entre os CI's 81 e 82.



O ponto de interrupção da trilha entre o pino 14 do CI 80 e o pino 19 do CI87 (sinal ENIO) é mostrado na Fig. 2.2.

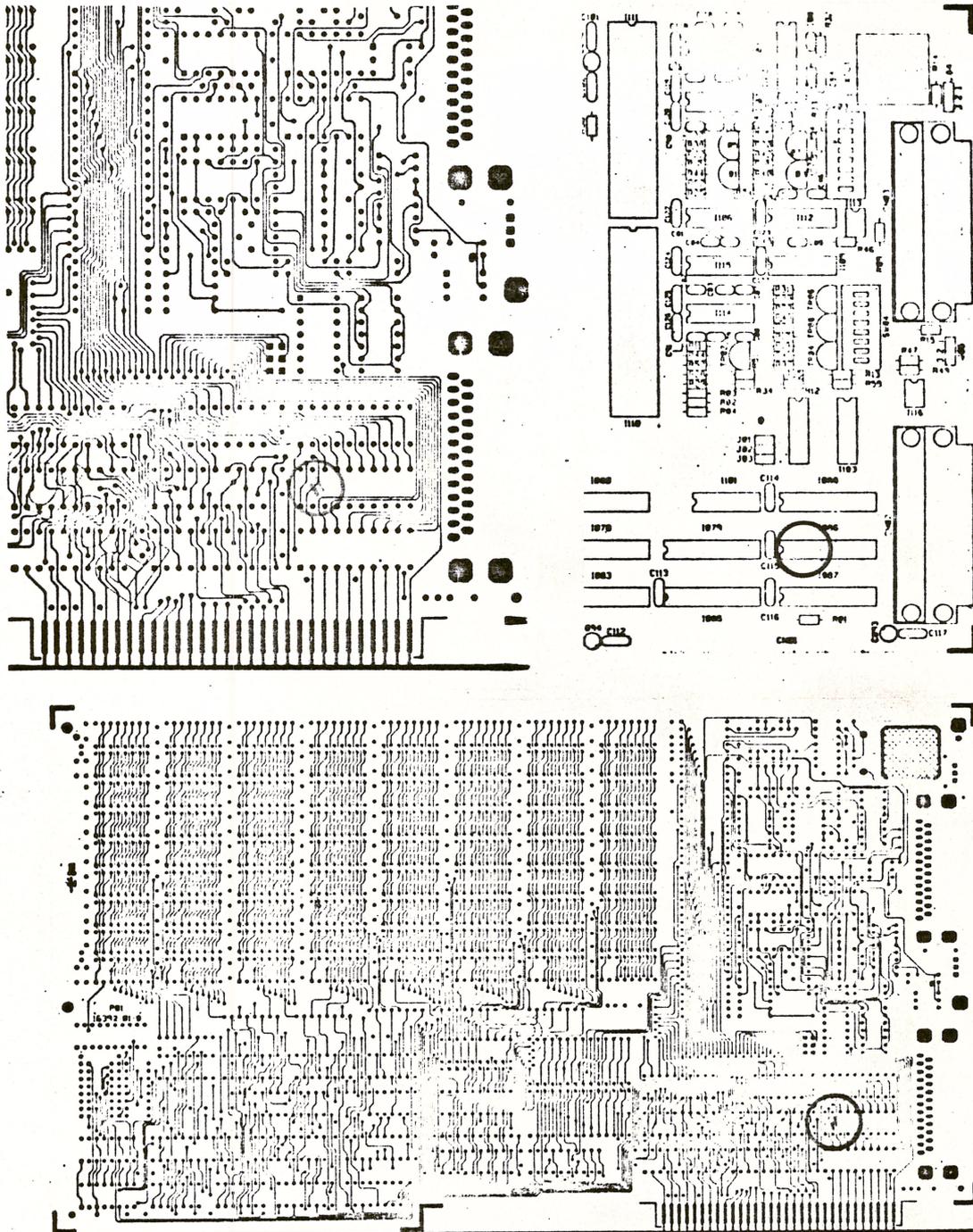


FIGURA 2.2 - Trilha interrompida entre os CI's 80 e 87.

O ponto de interrupção da trilha entre o pino 16 do CI82 e o pino 7 de RP04 (considere-se a numeração da esquerda para a direita, com as dips SW01 e SW02 à esquerda e os conectores CN02 e CN03 à direita) é mostrado na Fig. 2.3.

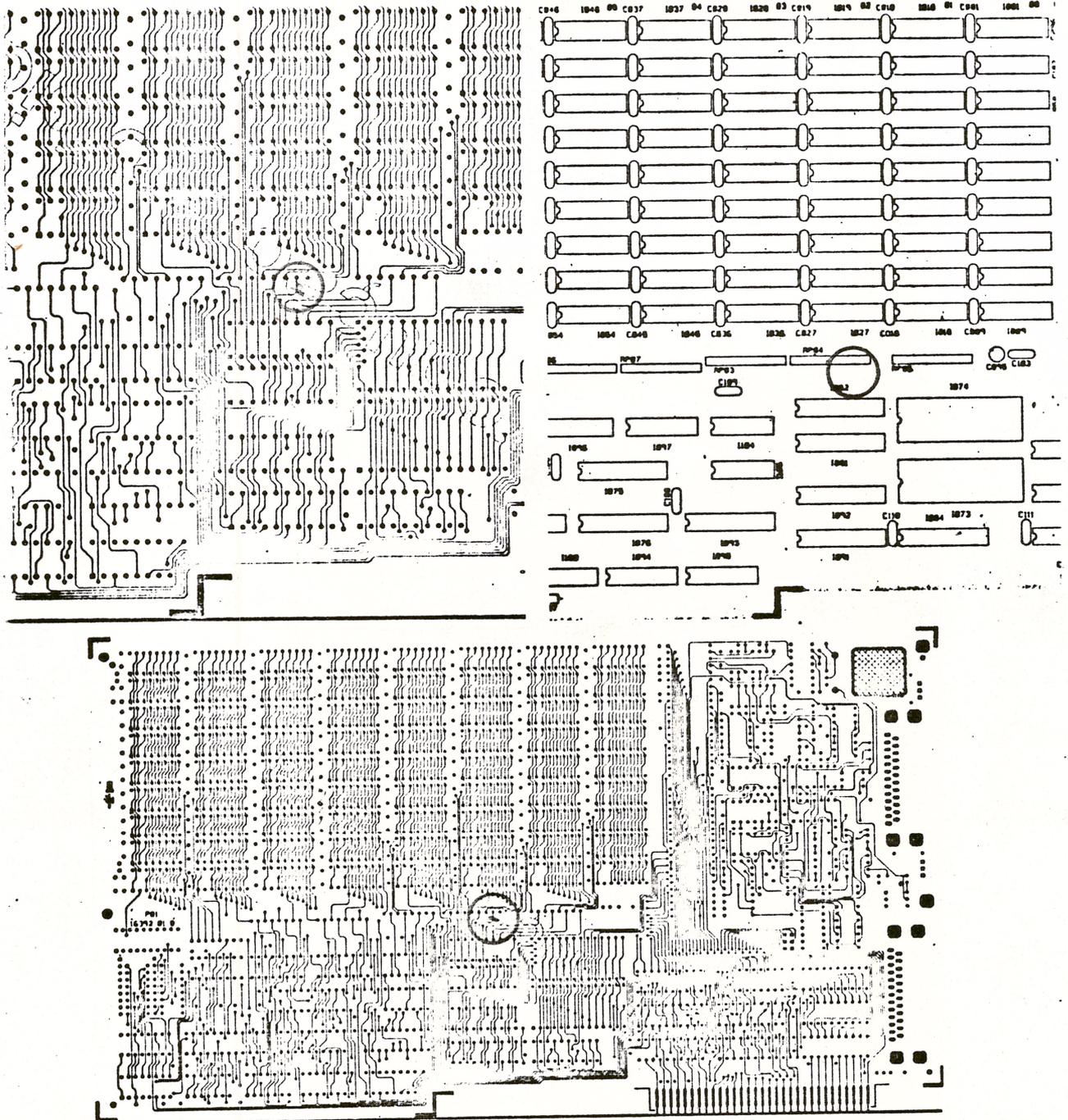


FIGURA 2.3 - Trilha interrompida entre o CI82 e RP04.

## 3. DESCRIÇÃO DOS DEFEITOS

Para a análise dos defeitos, verifique a tabela 3.1.

CHAVE	POSIÇÃO	DESCRIÇÃO
CH1	ON	Sinal MAP aterrado
	OFF	Sinal MAP ativo
CH2	ON	Sinal CLK273 aterrado
	OFF	Sinal CLK273 ativo
CH3	ON	Sinal COMPl aterrado
	OFF	Sinal COMPl ativo
CH4	ON	Sinal CAS0 aterrado
	OFF	Sinal CAS0 ativo
CH5	ON	Sinal DIR aterrado
	OFF	Sinal DIR ativo
CH6	ON	Sinal RAS3 ativo
	OFF	Sinal RAS3 interrompido
CH7	ON	Sinal DACK0 ativo
	OFF	Sinal DACK0 interrompido
CH8	ON	Sinal ENIO ativo
	OFF	Sinal ENIO interrompido

TABELA 3.1 - TABELA DE DEFEITOS DA PCI EMS (CÓDIGO 16393.01.5).

## CENTRO DE TREINAMENTO TÉCNICO

### A. MAP (CH1)

Este sinal seleciona um grupo de registradores, dentre quatro, que definirá o mapeamento. O sinal é ativado (ativo na borda de subida) através de uma operação de escrita no endereço 8319 H.

Colocando-se a chave 1 em ON, simula-se o erro, aterrando-se o sinal.

Simplesmente através da carga do sistema (inclusive o CONFIG.SYS), o erro não pode ser detetado.

Este erro surge na utilização de SW's que utilizariam tal recurso, como por exemplo o SIM/MUL.

Através da Jig, opção 1-3-1, obtém-se a indicação do erro.

### B. CLK273 (CH2)

Este sinal é responsável pela programação do endereço de Início de Janela. O sinal é ativado através de uma operação de escrita no endereço 0219H.

Colocando-se a chave 2 em ON, simula-se o erro, aterrando-se o sinal.

Quando da atuação do CONFIG.SYS (ou seja EMS.SYS), há a indicação "Não existe placa instalada". Isto ocorre pois o EMS.SYS tenta escrever 33H (para indicar endereço inicial CCOOH) e, em seguida, lê o byte escrito verificando, assim, a existência ou não da placa.

Através da Jig, opção 1-1-1 obtém-se a indicação do erro.

### C. COMP1 (CH3)

Este sinal é responsável pela habilitação do endereçamento da placa.

Colocando-se a chave 3 em ON, simula-se o erro, aterrando-se o sinal.

## CENTRO DE TREINAMENTO TÉCNICO

### F. RAS3 (CH6)

Este sinal é responsável pela habilitação do endereço de linha para as memórias dinâmicas.

Atua no banco 3.

Colocando-se a chave 6 em OFF, simula-se o erro, interrompendo-se o sinal.

Na inicialização há a indicação "Memória com problema", acusando 1792 Kbytes de memória disponível.

Através da Jig, opção 2-3-1, obtém-se a indicação do erro.

### G. DACKO (CH7)

Este sinal é responsável pelo refrescamento das memórias dinâmicas.

Colocando-se a chave 7 em OFF, simula-se o erro, interrompendo-se o sinal.

Caso o CONFIG.SYS possua apenas o device EMS.SYS não há a possibilidade de identificação do defeito, a não ser que se tenha algum software aplicativo.

Para contornar esta dificuldade, cria-se o device EMSHK.SYS, de tal forma que o CONFIG.SYS contenha:

- EMS.SYS
- EMSAISK.SYS 548 64

onde: 548 indica o tamanho da unidade virtual (em bytes) e 64 o número de entradas.

Copia-se todos os arquivos para a unidade D e após um tempo, verifica-se que todas as informações foram perdidas.

Este tipo de defeito não pode ser detetado pela Jig (REMS.COM ou GEMS.COM).

**H. ENIO**

Este sinal é responsável pela habilitação do buffer de dados de interface com os registradores da placa.

Colocando-se a chave 8 em OFF, simula-se o erro, interrompendo-se o sinal.

Na inicialização há a indicação "Não existe placa instalada" pois não é possível o acesso aos registradores.

Através da Jig, opção 1-X-1, obtém-se a confirmação do erro.

**I. CI's de Memória Defeituosos**

Para esta implementação foram selecionados:

- BANCO 1: CI12
- BANCO 3: CI34
- BANCO 5: CI46 e CI54

A influência isolada de cada um é descrita a seguir:

**\* CI12**

Com a chave 8 da dip SW02 em ON (PARIDADE habilitada), no final da inicialização, o sistema acusa 1536 kbytes testados e indica PARIDADE. Caso a dip esteja em OFF, o sistema acusa a quantidade testada e "Memória com problema".

Através do programa REMS.COM, pode-se identificar o banco defeituoso. Dentro da opção 2, seleciona-se cada nova opção (escolha do banco) e, em seguida, a opção 1 para exercitar o banco escolhido.

Com a mensagem "BITS ERRADOS: 04", determina-se o CI defeituoso.

Cada banco está disposto, na ordem crescente de identificação do CI, do bit menos significativo ao mais significativo, juntamente com o de paridade.